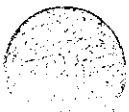


# ÍNDICE DE MATERIAS

<b>PROLOGO</b> .....	11
----------------------	----

## PRIMERA PARTE EL 386 Y LOS CONCEPTOS BÁSICOS

<b>1. DESARROLLO, EVOLUCIÓN, PERSPECTIVAS DE FUTURO Y APLICACIONES LA FAMILIA 386</b> .....	17
1.1. Introducción .....	17
1.2. La barrera de los 32 bits .....	18
1.3. El problema de la compatibilidad .....	20
1.4. Una familia numerosa .....	22
1.5. El futuro de los microprocesadores .....	33
1.6. Conclusión .....	44
<b>2. IMPLANTACIÓN DE SISTEMAS OPERATIVOS CON MICROPROCESADORES DE 32 BITS</b> .....	45
2.1. Conceptos básicos .....	45
2.2. Características específicas de los microprocesadores de 32 bits .....	48
2.3. Memoria virtual .....	50
2.4. Organización y tipos de memoria virtual .....	52
2.5. Memoria paginada .....	53
2.6. Memoria segmentada .....	55
2.7. Memoria con segmentos paginados .....	57
2.8. Definición de sistemas multitarea y multiusuario .....	60
2.9. Mecanismos de protección .....	61
2.10. Reglas de acceso .....	63
<b>3. ARQUITECTURA DEL 386</b> .....	67
3.1. Implantación de los microprocesadores de 32 bits .....	67
3.2. Aspectos destacables .....	69



	3.3. Modos de funcionamiento .....	70
	3.4. Arquitectura interna .....	73
<b>4</b>	<b>DIAGRAMA DE CONEXIONADO .....</b>	<b>79</b>
	4.1. Introducción .....	79
	4.2. Alimentación .....	80
	4.3. Señales de reloj .....	81
	4.4. <i>Bus</i> de datos .....	82
	4.5. <i>Bus</i> de direcciones .....	83
	4.6. Señales de estado del ciclo de <i>bus</i> .....	84
	4.7. Señales de control del ciclo de <i>bus</i> .....	85
	4.8. Arbitraje del <i>bus</i> .....	87
	4.9. Interrupciones .....	88
	4.10. Control del coprocesador matemático .....	90
	4.11. Resumen de señales .....	91
<b>5</b>	<b>CICLOS DE <i>BUS</i> .....</b>	<b>95</b>
	5.1. Características del ciclo de <i>bus</i> .....	95
	5.2. Ciclo de <i>bus</i> estándar .....	96
	5.3. Ciclos de <i>bus</i> con anticipación de direcciones .....	100
	5.4. Configuración dinámica de la anchura del <i>bus</i> .....	102
<b>6</b>	<b>MODELO DE PROGRAMACIÓN PARA APLICACIONES .....</b>	<b>107</b>
	6.1. Programador de aplicaciones y programador de sistemas .....	107
	6.2. Registros internos para el programador de aplicaciones .....	108
	6.3. Segmentación en modo real .....	117
	6.4. Segmentación en modo protegido .....	119
	6.5. Juego de registros del coprocesador matemático .....	120
<b>7</b>	<b>SEGMENTACIÓN .....</b>	<b>123</b>
	7.1. Estructura general de la memoria .....	125
	7.2. Direccionamiento en modo real .....	124
	7.3. El espacio lógico o virtual .....	127
	7.4. El espacio lineal .....	129
	7.5. Tablas de descriptores .....	135
	7.6. Registros de segmento .....	138
	7.7. El modelo plano .....	141
<b>8</b>	<b>PAGINACIÓN .....</b>	<b>143</b>
	8.1. Introducción .....	143
	8.2. Mecanismo de paginación .....	143

	8.3. Formato de las entradas al directorio y a las tablas de páginas	147
	8.4. Tabla de traducción de direcciones lineales, "TLB"	150
	8.5. Estructura y funcionamiento de la TLB	150
9	MODELO DE PROGRAMACIÓN PARA SISTEMAS	153
	9.1. Registros de sistemas	153
	9.2. Registros de segmento	155
	9.3. Registros de tablas	157
	9.4. Registro de tarea	157
	9.5. Registro de señalizadores	158
	9.6. Registros de control	159
	9.7. Registros de depuración	161
	9.8. Registros de prueba de la TLB	164
10	MECANISMOS DE PROTECCIÓN	167
	10.1. Necesidad de la protección	167
	10.2. Protección entre tareas	169
	10.3. Protección de los segmentos	170
	10.4. Protección de las páginas	175
	10.5. Protección de las instrucciones	176
	10.6. Conclusiones	177
11	PUERTAS DE LLAMADA	179
	11.1. Transferencias de control	179
	11.2. Definición de puertas de llamada	180
	11.3. Comportamiento de la pila en las transferencias internivel	184
	11.4. El escenario del caballo de Troya	186
	11.5. Descriptores ALIAS	191
	11.6. Particularidades de los segmentos de pila	192
12	CONMUTACIÓN DE TAREA	197
	12.1. Implantación de la multitarea	197
	12.2. Conmutación de tarea	200
	12.3. Puertas de tarea	201
	12.4. Mapa de bits de permiso de E/S	204
13	INTERRUPCIONES Y EXCEPCIONES	207
	13.1. Clasificación y características	207
	13.2. Interrupciones externas	208
	13.3. Interrupciones internas	210
	13.4. Excepciones	211
	13.5. Descripción de los vectores de interrupción predefinidos	213



13.6.	Código de error	217
13.7.	Interrupciones en el modo real	218
13.8.	Interrupciones en el modo protegido	220
<b>14</b>	<b>AUTOCOMPROBACIÓN, DEPURACIÓN E INICIALIZACIÓN</b>	<b>227</b>
14.1.	Capacidad de autocomprobación	227
14.2.	Soporte a la depuración	228
14.3.	Inicialización o arranque	229
14.4.	Cambio del modo Real al Protegido	231
<b>15</b>	<b>GENERALIDADES SOBRE INSTRUCCIONES Y DATOS</b>	<b>235</b>
15.1.	Tipos de datos	235
15.2.	Modos de direccionamiento	239
15.3.	Clasificación y características generales del repertorio de instrucciones	241
15.4.	Instrucciones aritméticas	245
15.5.	Instrucciones lógicas	247
15.6.	Instrucciones de cadenas	248
15.7.	Instrucciones de transferencia de control	250
15.8.	Instrucciones de transferencia de datos	250
15.9.	Instrucciones de control de los señalizadores	252
15.10.	Instrucciones de asignación condicional	253
15.11.	Instrucciones de bit	253
15.12.	Instrucciones de alto nivel	254
15.13.	Instrucciones especiales	254
15.14.	Instrucciones multisegmento	255
15.15.	Instrucciones del sistema operativo	256
15.16.	Instrucciones para el coprocesador	258
<b>16</b>	<b>REPERTORIO DE INSTRUCCIONES</b>	<b>259</b>
16.1.	Introducción	259
<b>17</b>	<b>ENTORNO DE TRABAJO Y COMPATIBILIDAD</b>	<b>309</b>
17.1.	Introducción	309
17.2.	Modo Real	309
17.3.	Modo Protegido	310
17.4.	Modo Virtual-86	311
<b>18</b>	<b>EL COPROCESADOR MATEMÁTICO</b>	<b>315</b>
18.1.	Introducción: 80287 y 387	315
18.2.	Arquitectura y diagrama de conexiones del 80287	316



18.3. Arquitectura y diagrama de conexiones del 387 .....	320
18.4. Modelo de programación .....	321
18.5. Juego de instrucciones del coprocesador .....	325

## SEGUNDA PARTE EL 486 Y EL DISEÑO DE SISTEMAS

<b>19</b>	<b>LA MEMORIA FÍSICA .....</b>	<b>335</b>
	19.1. Introducción .....	335
	19.2. La tecnología de la memoria física .....	336
	19.3. Tipos de <i>chips</i> de memoria dinámica .....	344
	19.4. Resumen .....	353
<b>20</b>	<b>LA MEMORIA CACHE .....</b>	<b>355</b>
	20.1. Introducción .....	355
	20.2. Conceptos generales .....	356
	20.3. Tipos de conexión .....	361
	20.4. Arquitectura de un subsistema de <i>cache</i> .....	363
	20.5. Actualización de la <i>cache</i> .....	373
	20.6. Actualización de la memoria principal .....	374
	20.7. Protocolo MESI .....	376
	20.8. Resumen .....	378
<b>21</b>	<b>LA ARQUITECTURA DEL 486 .....</b>	<b>379</b>
	21.1. Introducción .....	379
	21.2. Arquitectura interna .....	381
	21.3. Cascada de instrucciones .....	384
	21.4. Descripción de las unidades funcionales .....	386
	21.5. Resumen .....	399
<b>22</b>	<b>MODELO DE PROGRAMACIÓN .....</b>	<b>401</b>
	22.1. Introducción .....	401
	22.2. El modelo de programación .....	402
	22.3. Nuevas posibilidades de programación .....	410
	22.4. Nuevas instrucciones al nivel de aplicación .....	418
	22.5. Nuevas instrucciones al nivel de sistema .....	422
	22.6. Resumen .....	424



<b>23</b>	<b>DIAGRAMA DE CONEXIONADO Y CICLOS DE BUS</b> .....	425
	23.1. Introducción .....	425
	23.2. Señales de bus .....	426
	23.3. Diagrama de estados del bus .....	439
	23.4. Registros intermedios de escritura .....	439
	23.5. Reordenamiento de ciclos de bus .....	442
	23.6. Prestaciones en función del bus .....	443
	23.7. Resumen .....	445
<b>24</b>	<b>SUBSISTEMA DE MEMORIA</b> .....	449
	24.1. Introducción .....	449
	24.2. Arquitectura de un subsistema de memoria .....	450
	24.3. Ejemplo de configuración de memoria .....	453
	24.4. Ciclos de memoria .....	458
	24.5. Resumen .....	466
<b>25</b>	<b>MEMORIA CACHE DE SEGUNDO NIVEL</b> .....	469
	25.1. Introducción .....	469
	25.2. Jerarquía de subsistemas de caché .....	469
	25.3. Cachés de primer nivel y segundo nivel .....	471
	25.4. Caché de segundo nivel para el 486 .....	475
	25.5. Resumen .....	481
<b>26</b>	<b>PLATAFORMAS BASADAS EN LA ARQUITECTURA 386</b> .....	483
	26.1. Introducción .....	483
	26.2. ISA (Arquitectura Estándar de la Industria) .....	484
	26.3. EISA (Arquitectura ISA Extendida) .....	489
	26.4. Resumen .....	499
	<b>BIBLIOGRAFÍA</b> .....	501

