INDICE

Prólogo	XIII
Agradecimientos	XIX
1. Introducción	2
1.1. Representaciones del diseño	4
1.2. Niveles de abstracción	10
1.3. Proceso de diseño	12
1.3.1. Especificaciones del diseño	12
1.3.2. Desarrollo de una biblioteca de componentes	13
1.3.3. Síntesis del diseño	14
1.3.4. Análisis del diseño	14
1.3.5. Documentación	15
1.3.6. Fabricación	16
1.4. Herramientas CAD	16
1.4.1. Captura y modelado del diseño	16
1.4.2. Herramientas de síntesis	17
1.4.3. Verificación y simulación	18
1.4.4. Diseño físico	19
1.4.5. Test	19
1.5. Proceso típico de diseño	20
1.6. Organización del libro	21
1.7. Resumen del capítulo	23
1.8. Lecturas adicionales	24
1.9. Problemas	25
2. Tipos de Datos y Representaciones	28
2.1. Sistemas numéricos posicionales	30
2.2. Números hexadecimales y octales	31
2.3. Conversiones entre sistemas numéricos	33
2.4. Suma y resta de números binarios	33
2.5. Representación de números negativos	36
2.5.1. Representación en signo y magnitud	39
2.5.2. Sistema numérico en complemento	41
2.6. Suma y resta en complemento a dos	43
2.6.1. Reglas para sumar	44
2.6.2. Reglas para restar	45
2.7. Multiplicación binaria	47
2.8. División binaria	50
2.9. Números en coma flotante	51
2.10. Códigos de caracteres	54
2.11. Códigos para detección y corrección de errores	56
2.12. Códigos para detección y corrección de errores	57
2.12.1. Códigos de detección de errores	59
2.12.2. Códigos de corrección de errores	61
2.13. Códigos Hamming	62
2.14. Resumen del capitulo	65
2.15. Lecturas adicionales	66
2.16. Problemas	67
3. Álgebra Booleana y Diseño Lógico	70

3.1. Propiedades algebraicas	72
3.2. Definición axiomática del álgebra booleanas	73
3.3. Teoremas básicos del álgebra booleanas	76
3.4. Funciones booleanas	79
3.4.1. Complemento de una función	80
3.4.2. Manipulaciones algebraicas	81
3.5. Formas canónicas	83
3.6. Formas normalizadas	89
3.7. Otras operaciones lógicas	92
3.8. Puertas lógicas digitales	94
3.9. Ampliación a varias entradas y varios operadores	99
3.10. Implementaciones de puertas	103
3.10.1. Niveles lógicos	104
3.10.2. Márgenes de ruido	105
3.10.3. Conectividad de salida	107
3.10.4. Disipación de potencia	109
3.10.5. Retardo de propagación	109
3.10.6. Familias lógicas bipolares	111
3.10.7. Familias lógicas MOS	114
3.11. Tecnología VLSI	117
3.12. Resumen del capitulo	125
3.13. Lecturas adicionales	126
3.14. Problemas	127
4. Simplificación de Funciones Booleanas	
4.1. Representación con mapas	133
4.2. Método de simplificación con mapas	143
4.3. Condiciones de indiferencia	147
4.4. Método de tabulación	150
4.4.1. Generación de implicantes primos	150
4.4.2. Generación de la cobertura mínima	153
4.5. Traslación a la tecnología de arrays de puertas	157
4.6. Traslación a la tecnología de bibliotecas específicas	166
4.7. Diseño libre de riesgos	170
4.8. Resumen del capítulo	174
4.9. Lecturas adicionales	175
4.10. Problemas	175
5. Componentes Combinacionales	178
5.1. Sumadores con acarreo en cascada	180
5.2. Sumadores con acarreo anticipado	182
5.3. Sumadores/restadores	187
5.4. Unidad lógica	188
5.5. Unidad aritmética – lógica	189
5.6. Decodificadores	193
5.7. Selectores	195
5.8. Buses	199
5.9. Codificadores de prioridad	200
5.10. Comparadores magnitud	203
5.11. Rotadores y desplazadotes	206

5.12. Memorias de sólo lectura	209
5.13. Arrays lógicos programables	212
5.14. Resumen del capítulo	214
5.15. Lecturas adicionales	216
5.16. Problemas	216
6. Lógica Secuencial	220
6.1. Latch SR	223
6.2. Latch SR sincronizado	226
6.3. Latch D sincronizado	227
6.4. Biestables	229
6.5. Tipos de biestables	235
6.6. Análisis lógico secuencial	240
6.7. Modelo de máquina de estados finitos	247
6.8. Síntesis lógica secuencial	249
6.9. Reproducción del modelo FSM	252
6.10. Minimización de estados	254
6.11. Codificación de estados	258
6.12. Elección de los elementos de memoria	265
6.13. Optimización y temporización	268
6.14. Resumen del capitulo	270
6.15. Lecturas adicionales	271
6.16. Problemas	271
7. Componentes de Memorización	276
7.1. Registros	278
7.2. Registros de desplazamiento	281
7.3. Contadores	283
7.4. Contador BCD	286
7.5. Contador asíncrono	287
7.6. Bancos de registros	290
7.7. Memorias de acceso aleatorio	293
7.8. Pilas de inserción/extracción	302
7.9. Colas primero en entrar, primero salir	306
7.10. Caminos de datos sencillos	311
7.11. Caminos de datos generales	318
7.12. Diseño de la unidad de control	322
7.13. Resumen del capitulo	324
7.14. Lecturas adicionales	325
7.15. Problemas	325
8. Diseño de Transferencia entre Registros	328
8.1. Modelo de diseño	330
8.2. Definición ESMD	332
8.3. Esquema de la maquina algorítmica de estados	338
8.4. Esquema de síntesis ASM	346
8.5. Compartición de registros (asociación de variables)	353
8.6. Compartición de la unidad funcional (asociación de operadores)	361
8.7. Compartición de bus (asociación de conexiones)	370
8.8. Asociación de registros	373
8.9. Encadenamiento y multiciclo	376

8.10. Segmentación de la unidad funcional	379
8.11. Segmentación del camino de datos	382
8.12. Segmentación de control	386
8.13. Planificación	389
8.14. Resumen del capitulo	399
8.15. Lecturas adicionales	400
8.16. Problemas	400
9. Diseño de Procesador	404
9.1. Conjuntos de instrucciones	407
9.2. Modos de direccionamiento	412
9.3. Diseño del procesador	416
9.4. Diseño del conjunto de instrucciones	417
9.5. Diseño CISC	421
9.6. Conjunto reducido de instrucciones	430
9.7. Diseño RISC	434
9.8. Avance de datos	438
9.9. Predicción de saltos	442
9.10. Resumen del capitulo	446
9.11. Lecturas adicionales	446
9.12. Problemas	447
Apéndice: Experimentos de Laboratorio	449
Índice	461