

INDICE

Prologo	XXI
Teoría	
1. Origen, características y desarrollo de los DSP	3
1.1. La razón de ser de los DSP	4
1.2. La conversión A/D: el primer paso	5
1.3. El procesamiento matemático: el segundo paso	6
1.4. Microcontroladores y DSP: analogías y diferencias	7
1.5. Recursos específicos de los DSP	8
1.6. alternativas a los DSP	
1.6.1. Circuitos electrónicos analógicos	10
1.6.2. procesadores digitales de propósito general mejorados	
1.6.3. Hardware a medida	11
1.7. Aplicaciones	12
1.8. el mercado y los fabricantes	15
1.9. el futuro	
19.1. procesadores de propósito general mejorados	16
1.9.2. DSP de propósito general	
1.9.3. DSP para aplicaciones específicas	17
1.9.4. ASIC a medida	18
2. Algoritmos típicos para DSP: diseño de filtros	19
2.1. un ejemplo de procesamiento de señales analógicas	20
2.2. principios del filtrado	22
2.3. circuitos pasivos sensibles a al frecuencia	24
2.4. circuitos activos	25
2.4.1. filtro activo paso-bajo	26
2.4.2. filtro activo paso-alto	29
2.4.3. filtro activo paso-banda	
2.4.4. filtro activo banda-eliminada	30
2.5. Filtros con DSP	31
2.5.1. filtro FIR	32
2.5.2. filtro IIR	34
2.5.3. FIR frente a IIR	
2.6. Diseño del algoritmo de un filtro FIR	36
3. Aportaciones y recursos específicos en los DSP	39
3.1. novedades en los DSP	40
3.2. paralelismo del procesador	41
3.3. potenciación del camino de datos	43
3.4. memorias de acceso múltiple	
3.5. modos de direccionamiento especiales	44
3.6. instrucciones específicas de control de bucles	47
3.7. juego de instrucciones orientado	
3.8. conjunto de interrupciones amplio y veloz	48
3.9. integración de periféricos e interfases en el DSP	
3.10. optimización de consumo de energía	49
3.11. consideraciones del sistema para elegir un DSP	50
4. Presentación de los dsPIC	53
4.1. ¿Qué son los dsPIC?	54

4.2. Principales características de los dsPIC	
4.2.1. rango de funcionamiento	
4.2.2. CPU de alto rendimiento	56
4.2.3. controlador de interrupciones	
4.2.4. entradas y salidas digitales	
4.2.5. memorias	
4.2.6. manejo del sistema	
4.2.7. control de alimentación	57
4.2.8. temporizadores, módulos de captura, comparación y PWM	
4.2.9. Módulos de comunicación	
4.2.10. periféricos para control de motores	
4.2.11. convertor analógico/digital	
4.3. las familias dsPIC	58
4.3.1. familias dsPIC30F de dispositivos de propósito general	
4.3.2. familias dsPIC30F ara control de motores y sistemas de alimentación	59
4.3.3. familias dsPIC30F para control de sensores	60
4.4. herramientas para el desarrollo del software	
4.4.1. MPLAB IDE	61
4.4.2. MPLAB-ASM30	
4.4.3. MPLAB SIM30	
4.4.4. MPLAB C30	
4.4.5. MPLAB VDI	62
4.4.6. herramientas para el desarrollo del algoritmos	63
4.4.7. librería matemática	
4.4.8. librería para la supresión del sonido	64
4.4.9. librería para la cancelación de eco acústico	
4.4.10. librería de reconocimiento de voz	
4.4.11. librería de algoritmos DSP	65
4.4.12. librería de cifrado de clave simétrica y asimétrica	
4.4.13. librería de drivers de periféricos	
4.4.14. librería de protocolos TCP/IP	
4.4.15. librería can	66
4.4.16. librería de módems embebidos	
4.4.17. librerías de encriptado	
4.5. Herramientas para el desarrollo del hardware	
4.5.1. MPLAB ICD2	67
4.5.2. MPLAB MP3	
4.5.3. MPLAB ICE40000	68
4.5.4. dsPICDEMtm Starter Demo Board. Tarjeta de entrenamiento inicial	69
4.5.5. dsPICDEM 1.1. tarjeta de desarrollo de aplicaciones de propósito general	
4.5.6. tarjeta para desarrollos de sistemas de control de motores con dsPIC30	70
4.5.7. dsPICDEM.net tarjeta de desarrollo para aplicaciones de conectividad	71
4.6. Campos de aplicación los dsPIC	
4.6.1. voz y sonido	
4.6.2. automoción	
4.6.3. control de motores	73

4.6.4. control de sensores	
4.6.5. regulación y motorización de sistemas de alimentación	75
4.6.6. conexión a Internet	76
4.7. Ejemplo de aplicación real con dsPIC	77
5. Arquitectura del procesador: el camino de datos	81
5.1. un vistazo previo a la familia TMS320	82
5.2. la arquitectura de los dsPIC30F	84
5.3. el camino de datos	
5.3.1. el banco de registros de trabajo	86
5.3.2. ALU de 16bits	
5.3.3. el motor DSP	88
5.3.4. soporte para la división	90
5.4. La memoria de datos	
5.5. La memoria de programa	91
5.6. recursos auxiliares	
5.7. gestión del sistema y alimentación	93
5.8. tecnología y diagrama de conexionado	94
6. Modelo de programación	99
6.1. Los registros del programador	
6.2. El banco de registros de trabajo (W)	100
6.2.1. registros sombra	105
6.3. El puntero de la pila	
6.3.1. funcionamiento del puntero de la pila W 15	106
6.3.2. ejemplos de manipulación de la pila	
6.3.3. puntero del marco de la pila	107
6.3.4. desbordamiento del puntero de pila	
6.4. Los registros de la CPU	
6.4.1. El registro de estados (SR)	108
6.4.2. el registro de control del núcleo (CORCON)	109
6.4.3. Otros registros de control de la CPU	112
7. Fundamentos de las instrucciones DSP	115
7.1. Introducción	
7.2. Clasificación de las instrucciones	116
7.3. Tipos de direccionamiento	
7.3.1. Direccionamiento indirecto	117
7.4. Grupo de instrucciones DSP	118
7.5. Formato de los datos DSP	120
7.6. Asignación de los registros de trabajo	122
7.7. Instrucciones DSP sobre el acumulador	126
7.8. Escalado de datos con la instrucciones FBCL	127
7.9. Normalización del acumulador con la instrucción FBCL	128
8. El motor DSP	129
8.1. Arquitectura Interna	130
8.2. El multiplicador	
8.2.1. Instrucciones del multiplicador para el DSP	131
8.2.2. Instrucciones del multiplicador para la MCU	
8.3. Sumador/restador	132
8.3.1. Bits de estado para los acumuladores	133
8.3.2. Saturación en la escritura del espacio de datos	134

8.3.3. Post-escritura del acumulador	
8.4. Redondeo lógico	135
8.5. Registro de desplazamiento	
8.6. Selección del modo de funcionamiento del motor DSP	136
8.7. Excepciones del motor DSP	
9. La memoria de datos	137
9.1. Estructura de la memoria de datos	138
9.2. Unidades de generación de direcciones (AGU)	
9.2.1. Las AGU y las instrucciones DSP	140
9.3. El alineamiento de los datos	141
9.4. Direccionamiento modular (circular)	142
9.4.1. Selección de la dirección modular de comienzo y fin	143
9.4.2. Selección del registro de dirección W	143
9.4.3. Aplicaciones del direccionamiento modular	
9.4.4. inicialización del direccionamiento modular para el buffer modular con incremento	146
9.4.5. inicialización del direccionamiento modular para el buffer modular con decremento	147
9.5. Direccionamiento por inversión del acarreo (BIT-REVERSE)	
9.5.1. Introducción la direccionamiento por inversión del acarreo	149
9.5.2. Operación la direccionamiento por inversión del acarreo	
9.5.3. Valor del modificador en el direccionamiento por inversión de acarreo	150
9.5.4. Ejemplo de código para direccionamiento por inversión de acarreo	
9.6. Descripción de registro de control	152
10. La memoria de programa	157
10.1. Mapa de direcciones	158
10.2. el controlador de programa	
10.3. Acceso a datos desde la memoria de programa	159
10.3.1. las instrucciones de tabla	
10.3.2. generación de direcciones de tabla	
10.3.3. acceso a las palabras de la memoria de programa	160
10.3.4. almacenamiento de datos en la memoria principal	
10.4. visibilidad del espacio de programa para el espacio de datos	161
10.4.1. configuración PSV	162
10.4.2. aplicaciones del mapeo PSV en los espacios X e Y	
10.4.3. Sincronización de PSV	163
10.5. Escritura de la memoria de programa	
10.6. Ejemplos de programación de la memoria de programa	164
11. Interrupciones y excepciones	167
11.1. Conceptos generales	
11.2. tabla de vectores de interrupción y excepción IVT	168
11.3. Niveles de prioridad	
11.3.1. prioridades de la CPU	
11.3.2. prioridades de las interrupciones	171
11.4. Tipos de excepciones	
11.4.1. excepciones software	172
11.4.2. excepciones hardware	
11.5. manejo de interrupciones	173

11.5.1. instrucciones para deshabilitar interrupciones	
11.5.2. funcionamiento de una interrupción	
11.5.3. interrupciones anidadas	
11.5.4. despertar la CPU del estado SLEEP o IDLE	
11.6. Tiempo de proceso de las interrupciones	174
1.6.1. latencia de una interrupción	
11.6.2. retorno de la interrupción	175
11.7. Ejecución de una interrupción	
11.7.1. Modo de funcionamiento	176
11.7.2. programa ejemplo	
11.8. Registros de control de interrupciones	
11.8.1. INTCO1: registro 1 de control de interrupciones	178
11.8.2. INTCO2: registro 2 de control de interrupciones	179
11.8.3. SR: registro de estado	
11.8.4. CORCON: registro de configuración	180
Anexo	
A.1. IFSx: registro de estado de flags de interrupción	181
A.1.1. IFS0: registro de estado 0 de flags de interrupción	
A.1.2. IFS1: registro de estado 1 de flags de interrupción	
A.1.3. IFS2: registro de estado 2 de flags de interrupción	182
A.2. IECx: registros de control de habilitación de interrupciones	
A.2.1. IEC0: registro 0 de control de habilitación de interrupciones	183
A.2.2. IEC1: registro 1 de control de habilitación de interrupciones	184
A.2.3. IEC2: registro 2 de control de habilitación de interrupciones	
A.3. IPCx: Bits de control de privilegio de interrupción	185
A.3.1. IPC0: registro 0 de control de prioridad de interrupción	
A.3.2. IPC1: registro 1 de control de prioridad de interrupción	186
A.3.3. IPC2: registro 2 de control de prioridad de interrupción	
A.3.4. IPC3: registro 3 de control de prioridad de interrupción	187
A.3.5. IPC4: registro 4 de control de prioridad de interrupción	
A.3.6. IPC5: registro 5 de control de prioridad de interrupción	
A.3.7. IPC6: registro 6 de control de prioridad de interrupción	188
A.3.8. IPC7: registro 7 de control de prioridad de interrupción	
A.3.9. IPC8: registro 8 de control de prioridad de interrupción	
A.3.10. IPC9: registro 9 de control de prioridad de interrupción	189
A.3.11. IPC10: registro 10 de control de prioridad de interrupción	
A.3.12. IPC11: registro 11 de control de prioridad de interrupción	190
12. El repertorio de instrucciones maquina	191
12.1. introducción	
12.2. el formato	192
12.3. modos de direccionamiento de la memoria de datos	
12.3.1. modo de direccionamiento directo a memoria	195
12.3.2. modo de direccionamiento directo por registro	
12.3.3. modo de direccionamiento indirecto por registro	196
12.3.4. Modo de direccionamiento inmediato	197
12.4. Modos de direccionamiento de la memoria del programa	
12.5. tamaño de los operandos	198
12.6. El manejo de la pila	199
12.6.1. el puntero del marco de la pila	200

12.7. peculiaridades de las instrucciones de bifurcación condicional	202
12.8. Asignación de los registros de trabajo	203
12.9. Utilización de los acumuladores A y B	204
12.9.1. acceso al acumulador	
12.10. Peculiaridades de las instrucciones DSP tipo MAC	205
12.10.1. PRE-búsqueda en las instrucciones tipo MAC	
12.10.2. Actualización del registro PRE-búsqueda	
12.10.3. operaciones MAC	206
12.10.4. instrucciones de tipo MAC con post-escritura (WB)	
12.10.5. sintaxis MAC	
12.10.6. instrucciones del acumulador del DSP	208
12.11. normalizaron el acumulador con la instrucción FBCL	
Anexo. Repertorio completo de instrucciones dsPIC30F	210
13. Ejemplos y programas de manejo de instrucciones	219
13.1. Introducción	220
13.1.1. formato de ejercicios	
13.2. ejemplos básicos de instrucciones de movimiento	222
13.3. ejemplos básicos de instrucciones matemáticas	
13.4. ejemplos básicos de instrucciones lógicas	228
13.5. ejemplos básicos de instrucciones de rotación y desplazamiento	231
13.6. ejemplos básicos de instrucciones de bit	233
13.7. ejemplos básicos de instrucciones de comparación y salto	235
13.8. ejemplos básicos de instrucciones de flujo	238
13.9. ejemplos básicos de instrucciones de pila	244
13.10. ejemplos básicos de instrucciones de control	248
13.11. ejemplos básicos de instrucciones DSP	250
13.12. problemas didácticos	252
14. Simulación de programas	261
14.1. Introducción	262
14.2. Descripción del entorno MPLAB	
14.2.1. creación de un nuevo proyecto	264
14.2.2. inclusión del programa de usuario en un proyecto	
14.2.3. posibilidades de simulación	
14.2.4. formas de ejecución	265
14.2.5. el primer programa	
14.3. Ejemplos de simulación	
14.3.1. secciones	268
14.3.2. direccionamiento	274
14.3.3. interrupciones	296
15. Módulos para la gestión del sistema y la energía	307
15.1. conceptos generales	308
15.2. El sistema oscilador	
15.2.1. osciladores primarios	
15.2.2. oscilador secundario	309
15.2.3. osciladores internos	
15.2.4. oscilador externo	
15.2.5. diagrama por bloques del sistema oscilador	310
15.3. sistema de reset	311
15.3.1. el registro RCON	

15.4. detector de voltaje bajo (LVD)	312
15.4.1. Bits de control del LVD	313
15.4.2. diagrama por bloques del modulo detector de voltaje bajo	
15.5. otros recursos auxiliares	314
16. Grabación de las memorias FLASH y EEPROM	317
16.1. introducción	318
16.2. instrucciones de tabla	319
16.2.1. manejo de las instrucciones de lectura de tabla	
16.2.2. manejo de las instrucciones de escritura de tabla	320
16.3. registros de control	
16.3.1. registro NVMCON	322
16.3.2. registro de dirección NVM	
16.3.3. registro NVMKEY	323
16.4. grabación de la memoria FLASH	
16.4.1. Método de grabación RTSP	324
16.4.2. Método de grabación ICP _R	328
16.5. grabación de la memoria EEPROM	329
16.5.1. borrado y escritura de una palabra en la EEPROM	330
16.5.2. borrado y escritura de una línea en la EEPROM	332
16.5.3. lectura de la memoria EEPROM	334
17. Puertas de entrada y salida	335
17.1. introducción	
17.2. registros de control de las puertas de E/S	336
17.2.1. los registros TRIS	
17.2.2. los registros PORT	337
17.2.3. los registros LAT	
17.3. Multiplexación de las señales de los periféricos	
17.3.1. Multiplexación de múltiples señales de periféricos	338
17.4. Descripción de las puertas	
17.4.1. diagrama de conexionado	339
17.5. Registros de notificación de cambio de estado (CN)	
17.5.1. registros de control CN	342
17.5.2. configuración y operación de CN	
17.6. Funcionamiento en los modos SLEEP e IDLE	344
18. Temporizadores	345
18.1. introducción	
18.2. tipos de temporizadores	346
18.2.1. tipo A	
18.2.2. tipo B	
18.2.3. tipo C	
18.3. registros de control	347
18.3.1. tipo A	
18.3.2. tipo B	349
18.3.3. tipo C	350
18.4. modos de funcionamiento	
18.4.1. modo temporizador síncrono	351
18.4.2. modo de contador síncrono	352
18.4.3. modo de contador asíncrono	
18.4.4. modo de conteo por disparo por acumulación de tiempo "Gated	353

time accumulation”	
18.5. divisor de frecuencia (PRESCALER)	
18.6. las interrupciones de los temporizadores	355
18.7. escritura en temporizadores de 16 bits	
18.7.1. escritura	356
18.7.2. lectura	
18.8. temporizadores de 32 bits	
18.8.1. modo de temporizador síncrono	
18.9. escritura/lectura en temporizador de 32 bits	358
18.10. modos de bajo consumo	
18.10.1. Sleep	
18.10.2. Idle	
18.11. El perro guardián (WDT)	359
19. Conversadores A/D de 10 y 12 Bits	363
19.1. introducción	364
19.2. Registros de control	367
19.3. Buffer del resultado de a conversión analógico digital	
19.4. terminología A/D y secuencia de conversión	373
19.5. configuración del modulo analógico digital	375
19.6. selección de la fuente del voltaje de referencia	
19.7. selección del reloj de conversión	376
19.8. selección de entradas analógicas para el muestreo	
19.8.1. configuración de las patias del puerto analógico	377
19.8.2. selección de entrada de los canales 0,1,2 y 3	
19.9. permiso de funcionamiento del modulo	
19.10. especificaciones de la secuencia de muestreo y conversión	378
19.10.1. numero de canales de muestreo y retención	
19.10.2. permiso de muestreo simultaneo	
19.11. el comienzo del muestreo	379
19.12. el final del muestreo y le comienzo de la conversión	380
19.13. operaciones de control del muestreo y de la conversión	
19.13.1. monitorización del estado del muestreo y de la conversión	
19.13.2. generación de una interrupción A/D	381
19.13.3. intento de aborto del muestreo y de a conversión	
19.14. Escritura de los resultados en la pila	
19.14.1. numero de conversiones por interrupción	
19.14.2. restricciones del tamaño del buffer	382
19.14.3. modo y estado de llenado de la pila	
19.15. Ejemplos de la secuencia de conversión	
19.15.1. muestreo de ocho entradas usando un muestreo simultaneo	
19.15.2. muestreo de ocho entradas usando muestreo secuencial	385
19.16. requerimientos del muestreo A/D	387
19.17. lectura de la pila de resultados A/D	388
19.18. función de transferencia	389
19.19. consideraciones sobre el conexionado	
19.20. inicialización	391
19.21. Operaciones durante los modos de bajo consumo	
19.21.1. modo Sleep	392
19.21.2. operaciones en el modo Idle	393

19.22. efectos del Reset	
20. Modulo de captura de entrada	395
20.1. introducción	396
20.2. registros de captura de entrada	397
20.3. selección del TIMER	
20.4. Modos de captura de eventos de entrada	398
20.4.1. modo de captura simple	
20.4.2. previsor de captura de eventos	399
20.4.3. modo de detección de flanco	
20.5. Operación del buffer de captura	401
20.5.1. ICBNE	
20.5.1. ICOV	402
20.6. Interrupciones	
20.6.1. Bits de control de interrupciones	
20.7. soporte de UART	
20.8. Captura de entrada durante los modos Sleep e Idle	403
20.8.1. en modo Sleep	
20.8.2. en modo Idle	
20.8.3. la salida de los modos Sleep e Idle	
20.9. Control de las patias de E/S	404
21. Modulo de comparación	405
21.1. Introducción	406
21.2. Registros de comparación	407
21.3. Modos de operación	
21.3.1. modo de comparación simple	408
21.3.2. modo de comparación doble	412
21.4. el modulo de comparación y el ahorro de energía	
21.4.1. modo Sleep	419
21.4.2. modo Idle	
21.5. Control de las patias de entrada y salida	
22. Modulo PWM para control de motores	421
22.1. introducción	
22.1.1. modulación por anchura de pulso (PWM)	422
22.1.2. control de Motors mediante PWM	
22.1.3. Dispositivos dsPIC30F para aplicaciones de control de motores	423
22.2. Estructura general	
22.2.1. registros de configuración y control	424
22.2.2. registros PDCx	
22.2.3. registro PTPER	428
22.2.4. registro PTMR	
22.2.5. registros buffer	429
22.2.6. patitas de fallo	
22.2.7. disparo especial	
22.3. Generación de bases de tiempo	
22.3.1. principio de funcionamiento de la base de tiempo	430
22.3.2. modos de funcionamiento de la base de tiempo	431
22.3.3. preescalado y postescalado de la base de tiempo	432
22.4. Selección del periodo y del ciclo de trabajo	433
22.5. tipos de señale de salida	434

22.5.1. flanco alineado	
22.5.2. pulso único	
22.5.3. centro alineado	435
22.6. Modos de salida	
22.6.1. modo independiente	436
22.6.2. modo complementario	
22.7. Generación de tiempo muerto	
22.7.1. generadores de tiempo muerto	437
22.7.2. calculo de los valores de tiempo muerto	
22.8. otros recursos del modulo PWM	438
22.8.1. cambio manual	
22.8.2. patitas de fallo	
22.8.3. disparo especial	439
22.8.4. modos Sleep e Idle	
22.9. Resumen de los registros asociados al modulo PWM	440
23. Módulos UART y SPI	443
23.1. Introducción al modulo UART	444
23.2. registros de control y estado del UART	445
23.3. generador de baudios	
23.4. transmisor asíncrono	447
23.5. receptor asíncrono	448
23.6. introducción al SPI	450
23.7. registros de control y estado del SPI	451
23.8. modos de operación del SPI	453
23.8.1. modos de 8bits y de 16 bits	
23.8.2. modos maestro y esclavo	454
24. Módulos I2C y DCI	459
24.1. Introducción al modulo I2C	
24.2. características de funcionamiento	460
24.3. las direcciones del modulo I2C	
24.4. Funcionamiento en modo esclavo con direccionamiento de 7 bits	
24.4.1. transmisión en modo desclavo	463
24.4.2. recepción en modo esclavo	
24.5. Funcionamiento en modo esclavo con direccionamiento de 10 bits	
24.6. interrupciones	
24.7. soporte de direccionamiento de llamada general	464
24.8. soporte del maestro	
24.8.1. transición en modo maestro	
24.8.2. recepción en modo maestro	465
24.9. funcionamiento durante el modo Sleep y le modo Idle	
24.10. modulo de la interfaz del convertidor de datos (DCI)	466
24.11. Funcionamiento del modulo DCI	
24.12. Operación en los modos Sleep e Idle	468
25. CAN	469
25.1. Introducción al modulo CAN	
25.2. características del modulo	470
25.3. formato de mensaje	
25.3.1. trama estándar	471
25.3.2. trama extendida	472

25.3.3. trama de petición	
25.3.4. trama de error	
25.3.5. interfame Space	
25.4. modos de funcionamiento	473
25.5. registros del modulo CAN	474
25.6. recepción de mensajes	
25.6.1. Buffer de entrada	480
25.6.2. prioridad de buffer de entrada	
25.6.3. filtros de aceptación de mensajes	481
25.6.4. sobrescritura de entrada	
25.7. transmisión de datos	
25.7.1. comunicación en tiempo real	482
25.7.2. Buffer de transmisión de mensajes	
25.7.3. prioridad de transmisión de mensajes	483
25.7.4. trasmisión de mensaje	484
25.7.5. suspensión de trasmisión de mensaje	485
26. Otros recursos auxiliares	487
26.1. introducción	
26.2. modulo interfaz del codificador de cuadratura (QEI)	488
26.2.1. registros de estado y de control	490
26.2.2. decodificador de cuadratura	
26.2.3. dirección de contaje del codificador	491
26.2.4. frecuencia de cuadratura	492
26.2.5. contador ascendente/descendente de 16 bits	493
26.2.6. utilización del QEI como un temporizador de 16 bits	494
26.2.7. interrupciones del QEI	
26.2.8. QEI en modos de ahorro de energía	495
26.3. los modos de ahorro de energía	
26.3.1. Modo Sleep	496
26.3.2. Modo Idle	498
26.4. Temporizador Perro Guardián (WDT)	499
26.4.1. Permiso o prohibición del WDT	
26.4.2. funcionamiento del WDT	500
26.4.3. selección del periodo del temporizador WDT	
26.4.4. restablecimiento del temporizador del perro guardián	
26.4.5. funcionamiento del WDT en los modos Sleep e Idle	501
26.5. Configuración del dispositivo	
26.5.1. registros de configuración	
26.5.2. registros de identificación	502
Prácticas	
1. Muestreo, reconstrucción y conceptos básicos de señales de audio y video	505
1.1. conceptos de teoría	
1.1.1. introducción	506
1.1.2. teoría sobre el muestreo de señales	509
1.1.3. cuantificación	511
1.1.4. acercándonos al sonido digital	513
1.2. aplicaciones	
1.2.1. conceptos previos	515

1.2.2. desarrollo de las aplicaciones	528
2. generador de señales sinusoidales con dsPIC	533
2.1. Conceptos de teoría	
2.1.1. ¿Por qué necesitamos generar señales sinusoidales?	534
2.1.2. descripción matemática de los osciladores	541
2.1.3. método de generación de señales sinusoidales	
2.2. Aplicaciones	547
2.2.1. introducción	
2.2.2. generación de señales periódicas mediante tablas	
2.2.3. generación de señales periódicas mediante sistemas IIR inestables de segundo orden	554
3. Sistemas descritos como ecuaciones en diferencias de coeficientes constantes	557
3.1. Conceptos de teoría	
3.1.1. ¿Qué son las ecuaciones en diferencias de coeficientes constantes EDCCs?	558
3.1.2. descripción matemática de las EDCC	570
3.1.3. generador de eco	578
3.1.4. cancelador de eco	
3.1.5. efecto de reverberación musical	582
3.2. Aplicaciones	
3.2.1. introducción	587
3.2.2. implementación de colas de datos	
3.2.3. generador de eco	588
3.2.4. cancelador de eco	592
3.2.5. prueba del generador y del cancelador de eco	594
3.2.6. efecto de reverberación	595
4. Sistemas de filtrado de respuesta impulsional finita FIR	599
4.1. Conceptos de teoría	
4.1.1. ¿para que sirve filtrar una señal?	600
4.1.2. diseño de filtros FIR	601
4.1.3. conversión de filtros paso bajo a paso banda y paso alto	609
4.2. Aplicaciones	
4.2.1. introducción	615
5. Diseño de filtros IIR	637
5.1. Conceptos de teoría	
5.1.1. ¿para que sirve los sistemas IIR?	638
5.1.2. ¿Qué son los filtros IIR?	640
5.1.3. Diseño de filtros IIR	642
5.2. Aplicaciones	
5.2.1. introducción	651
5.2.2. dsPIC FD Lite	
5.2.3. implementación de un filtro IIR	655
5.2.4. implementación de un ecualizador de dos bandas	663
6. Aplicaciones de la FFT	669
6.1. conceptos de teoría	
6.1.1. ¿Qué es la FFT?	670
6.1.2. ¿para que sirve la FFT?	
6.1.3. fundamentos matemáticos de la FFT	672

6.2. Aplicaciones	
6.2.1. introducción	687
6.2.2. algoritmo para el calculo de la frecuencia fundamental	688
6.2.3. implementación del algoritmo	690
6.2.4. prueba del proyecto	697
6.2.5. depuración del proyecto	698
7. Técnicas de encriptación de la señal de voz. Scrambling	707
7.1. conceptos de teoría	
7.1.1. introducción	708
7.2. Aplicaciones	
7.2.1. introducción	709
7.2.2. método de ocultación de la voz	
7.2.3. diseño del algoritmo de ocultación de voz	710
7.2.4. codificación del algoritmo	715
7.2.5. prueba del algoritmo	721
Anexo A. Transformada Z	725
A.1. conceptos de teoría	
A.1.1. Transformada Z directa	
A.1.2. la transformada Z inversa	
A.1.3. análisis del comportamiento temporal respecto al plano Z	
A.1.4. propiedades de la transformada Z	
A.1.5. la transformada Z inversa. Métodos de calculo	728
A.1.6. Transformada Z racionales	732
Anexo B. PIC'Burner	737
B.1. Introducción	738
B.2. Características generales	
B.3.1. conector de alimentación	739
B.3.2. Alimentación a pilas	
B.3.3. Conector RS-232	
b.3.4. Jumper de selección	
B.3.5. Zócalo de inserción	740
B.3.6. Conector RJ11	
B.3.7. Power ON	741
B.3.8. Vpp ON	
B.4. El software de grabación WinPic800	
B.4.1. Instalación	742
B.4.2. Configuración del hardware	744
B.4.3. Configuración del Software	745
B.4.4. Tareas mas comunes	746
B. 5. El depurador en circuitos ICD2	
b.5.1. Instalación	747
B.5.2. Configuración	748
B.5.2. Tareas mas comunes	750
B.6. Listado de dispositivos grabables	751
B.7. Grabación de la placa dsPICDEM 1.1. con el programador PIC'Burner	753
Índice Analítico	759