INDICE

Prefacio	xix
1 Sistemas numéricos y códigos 1.1 Sistemas numéricos posicionales	2
1.2 Número octales y hexadecimales	3
1.3 Conversiones entre sistemas numéricos posicionales	5
1.4 Suma y resta de dos números no decimales	7
1.5 Representación de números negativos 1.5 Representación de magnitud y signo 1.5.2 Sistema numérico en complemento 1.5.3 Representación en complemento a la base 1,5,4 Representación en complemento a dos 1.5.5 Representación en complemento a la base disminuida	10
1.6 Suma y resta en complemento a dos 1.6.1 Reglas de la suma 1.6.2 Una representación gráfica 1.6.3 Desborde 1.6.4 Reglas de la resta 1.6.5 Números binarios en complemento a dos y sin signo	15
1.7 Suma y resta en complemento a uno	20
1.8 Multiplicación binaria	22
1.9 División binaria 1.10 Códigos binarios de números decimales	24
1.11 Código Gray	27
1.12 Código de caracteres	29
1.13 Códigos para acciones, condiciones y estados	30
1.14 Cubos-n y distancia	33
1.15 Códigos para detectar y corregir errores 1.15.1 Códigos detectores de errores 1.15.2 Códigos para corrección de errores y detección de errores múltiples 1.15.3 Códigos de Hamming 1.15.4 Códigos bidimensionales 1.15.2 Códigos de suma de verificación 1.15.6 Códigos m de n	35
1.16 Códigos para transmisión y almacenamiento de datos en serie 1.16.1 Datos en paparelo y en serie 1.16.2 Códigos de línea en serie	44
Referencias	48
Ejercicios	49
2 Circuitos digitales	54
2.1 Señales y compuertas lógicas	55
2.2 Diodos	57
2.3 Lógica de diodos	60
2.4 Transistores de unión bipolar	63
2.5 Inversiones lógicos	66
2.6 Diseño eléctrico de un inversor lógico 2.6.1 Fuentes de alimentación y niveles lógicos	269

2.6.2 Elección de las resistencias 2.6.3 Máximo número de salidas 2.6.4 Tiempo de transacción 2.6.5 Tiempo de propagación	
2.7 Lógica transistor resistencia (RTL) 2.7.1Número máximo de entradas	79
2.8 Lógica de transistor diodo (DTL)	81
2.9 Lógica transistor-transistor (TTL) 2.9.1 Compuesta NAND TTL básica 2.9.2 Niveles y márgenes de ruido 2.9.3 Numero máximo de compuertas a la salida 2.9.4 Efectos a la carga 2.9.5 Entradas no usadas	84
2.10 Otros tipos de compuertas TTL 2.10.1 Compuertas NOR 2.10.2 Compuertas AND-OR-INVERSOR 2.10.3 Compuertas no inversoras	94
2.11 Otras estructuras de entrada y salida TTL 2.11.1 Entradas de disparo Schmit 2..11.2 Salidas Darlington 2.11.3 Salidas de colector abierto 2.11.4 Lógica alambrada 2.11.5 Salidas de tres estados	98
2.12 Familias TTL 2.12.1 Primeras familias TTL 2.12.2 Transitores Schottky 2.12.3 Familias TTL Schottky 2.12.4 Características de las familias TTL	109
2.13 Lógica en modo de corriente (CML) 2.13.1 El circuito CML básico 2.13.2 La familia ECL de 10K 2.13.3 La familia ECL de 100K	115
2.14 Lógica semiconductora de oxido metálico (MOS) 2.14.1 Transistores MOS 2.14.2 Inversores y compuertas NMOS	122
2.15 Lógica MOS complementaria (CMOS) 2.15.1 Circuito CMOS básico 2.15.2 Niveles lógicos y márgenes de ruido 2.15.3 Consumo de energía 2.15.4 Numero máximo de compuertas a la salida 2.15.5 Compuertas CMOS NAND y NOR 2.15.6 Números máximos de terminales a la entrada la compuerta 2.15.7 Familias CMOS 2.15.8 Interfase CMOS/TTL	125
2.16 Circuitos integrados	135
2.17 IC de aplicación específica (ASICS)	140
Referencias	142
Ejercicios	143
3 Principios de diseño de lógica combinacional	150
3.1 Algebra de conmutación	151

3.1.1 Axiomas 3.1.2 Teoremas de una sola variable 3.1.3 Teoremas de dos y tres variables 3.1.4 Teoremas de n variables 3.1.5 Dualidad 3.1.6 Representaciones estándar de funciones lógicas	
3.2 Análisis de circuitos combinacionales	166
3.3 Síntesis de circuitos combinacionales 3.3.1 Descripción de diseño y circuitos 3.3.2 Manipulaciones de circuitos 3.3.3 Minimización de circuitos combinacionales 3.3.4 Mapas de Karnaugh 3.3.5 Minimización de sumas de productos 3.3.7 Combinaciones de entrada “no importa” 3.3.8 Minimización de salida múltiple	171
3.4 Métodos de minimización programada 3.4.1 Representación de términos de productos 3.4.2 Búsqueda de implicantes primos la combinar términos de producto 3.4.3 Búsqueda de implicantes primos mediante consenso interactivo 3.4.4 Búsqueda de cobertura minima con tablas de implicaciones primos 3.4.5 Búsqueda de una cobertura minima por consenso interactivo 3.4.6 Otros métodos de minimización	195
3.5 Riesgos temporizados 3.5.2 Riesgos estáticos 3,5.2 Búsqueda de riesgos estáticos con mapas .3.5.2 Riesgos dinámicos 3.5.4 Como diseñar circuitos libres de riesgos	210
Referencias	215
Ejercicios	217
4 Prácticas rediseño lógico combinacional	226
4.1 Estándares de documentación 4.1.1 Diagrama debroques 4.1.2 Símbolos de compuertas 4.1.3 Nombres de señales y niveles activos 4.1.4 Niveles activos de las terminales 4.1.5 Diseño lógico de inversión a inversión 4.1.6 Como dibujar una tarjeta 4.1.7 Canales 4.1.8 Información esquemática adicional 4.1.9 Símbolos estándar IEEE	227
4.2 El tiempo en los circuitos 4.2.1 Diagramas de tiempo 4.2.2 Tiempo de propagación	244
4.3 Decodificaciones 4.3.1 Decodificaciones binarios 4.3.2 Nombres de terminales y señales para elementos de mayor escala 4.3.3 El decodificador dual 74LSI39 de 2 a 4 4.3.4 El decodificador 74LSI38 de 3 a 8 4.3.5 Decodificadores binarios en cascada 4.3.6 Decodificadores barios como generadores de mintérminos	250

4.3.7 Decodificadores de siete segmentos 4.3.8 Símbolos estándar IEEE	
4.4 Registros de tres estados 4.4.1 Registros de tres estados SSI y MSI estándar 4.4.2 Símbolos estándar IEEE	266
4.5 Codificadores 4.5.1 Codificadores de prioridad 4.5.2 El codificador de prioridades 74LSI48 4.5.3 Símbolos estándar IEEE	276
4.6 Multiplexores 4.6.1 Multiplexores estándar MSI 4.6.2 Expansión de multiplexores 4.6.3 Los multiplexores como generadores de funciones 4.6.4 Multiplexores, de multiplexores y canales o buses 4.6.5 Símbolos IEE estándar	283
4.7 Compuertas OR EXCLUSIVAS y circuitos de paridad 4.7.1 Compuertas OR EXCLUSIVAS y compuertas NOR EXCLUSIVAS 4.7.2 Circuitos de paridad 4.7.3 El generador de paridad de 9 bits 74LS280 4.7.4 Aplicaciones de la verificación de paridad 4.7.5 Los símbolos estándar IEEE	297
4.8 Comparadores 4.8.1 Estructura del comparador 4.8.2 Circuitos iterativos 4.8.3 Un circuito comparador iterativo 4.8.4 Comparadores estándar MSI 4.8.5 Símbolos IEEE estándar	304
4.9 Sumadores, restadores y ALU 4.9.1 Medio sumador y sumador completo 4.9.2 Sumadores de programación 4.9.3 Restadores 4.9.4 Sumadores con acarreo anticipado 4.9.5 Sumadores MSI 4.9.6 Aritmética MSI y unidades lógicas (ALU) 4.9.7 Acarreo anticipado en grupo 4.9.8 Símbolos estándar IEEE	310
4.10 Multiplicadores combinacionales	327
4.11 Diseño lógico combinacional con funciones MSI 4.11.1 Objetivos del diseño 4.11.2 Uso de funciones MSI parta lógica aleatoria 4.11.3 Funciones cuasi MSI 4.11.4 Cómo encontrar las funciones MSI en problemas mas grandes	331
Referencias	341
Ejercicios	342
5 Principios de diseño secuencia	355
5.1 Elementos biestables 5.1.1 Análisis digital 5.1.2 Análisis analógico 5.1.3 Comportamiento metaestable	357
5.2 Biestables y Flip Flops	360

5.2.1 El biestable S-R 5.2.2 El biestable/ S-/R 5.2.3 El biestable S-R con habilitación 5.2.4 El biestable D 5.2.5 El flip flop D disparado por flanco 5.2.6 El flip flop S-R maestro/esclavo 5.2.7 El flip flop J-K maestro/esclavo 5.2.8 El flip flop J-K disparado por flanco 5.29 El flip flop T 5.2.10 Ecuaciones características	
5.3 Análisis de máquinas de estado sincronizadas por reloj 5.3.1 Estructura de la máquina de estados 5.3.2 Análisis de maquina de estado flip flops D 5.3.3 Análisis de maquinas de estados con flip flops J-K	375
5.4 Diseño de maquinas de estados sincronizados con reloj 5.4.1 Diseño de la tabla de estados 5.4.2 Minimización de estados 5.4.3 Asignación de estados 5.4.4 Síntesis con flip flops D 5.4.5 Síntesis con flip flops J-K 5.4.6 Mas ejemplos de diseño con flip flops D	388
5.5 Circuitos secuenciales retroalimentados 5.5.1 Análisis 5.5.2 Como analizar circuitos con múltiples lazos de retroalimentación 54.5.3 Carreras 5.5.4 Las tablas de estado y las tabas de flujo 5.5.5 Comentarios	409
5.6 Diseño de circuitos secuencias retroalimentados 5.6.1 Biestables 5.6.2 Diseño de tablas de flujo en modo fundamental 5.6.3 Minimización de la tabla de flujo 5.6.4 Asignación de estado libre de carrera 5.6.5 Ecuaciones de excitación 5.6.6 Riesgos esenciales 5.6.7 Resumen	420
Referencias	433
Ejercicios	434
6 Prácticas de diseño lógico secuencial	446
6.1 Estándares para la documentación de circuitos secuenciales 6.1.1 Requisitos generales 6.1.2 Símbolos lógicos 6.1.3 Descripciones de las maquinas de estados 6.1.4 Diagramas de tiempo y especificaciones	447
6.2 Bienestar y flip flops 6.2.1 Biestables y flip flops SSI 6.2.2 Interruptor sin rebote 6.2.3 Registros y biestables de varios bits 6.2.4 Símbolos estándar IEEE	451
6.3 Contadores 6.3.1 Contadores de propagación	459

6.3.2 Contadores sincrónicos 6.3.3 Contadores MSI y aplicaciones 6.3.4 Decodificación de los estados del contador binario 6.3.5 Simbolos estándar IEEE	
6.4 Registros de corrimiento 6.4.1 Estructura del registro de corrimiento 6.4.2 Registros de corrimiento MSI 6.4.3 La aplicación de registro de corrimiento mas grande del mundo 6.4.4 Conversión serie/paralela 6.4.5 Contadores de registro de corrimiento 6.4.6 Contadores de anillo 6.4.7 Contadores Johnson 6.4.8 Contadores de registro de corrimientos con retroalimentación lineal 6.4.9 Símbolos estándar IEEE	475
6.5 Circuitos combinacionales iterativos vs. circuitos secuenciales	497
6.6 Diseño práctico de máquinas de estados 6.6.1 Diseño ad hoc 6.6.2 Diseño de maquinas de estados con diagramas de estados 6.6.3 Diseño de maquinas de estado con diagramas ASM 6.7 Síntesis de maquinas de estados a partir de las listas de transición 6.7.1 Ecuaciones de transmisión 6.7.2 Ecuaciones de excitación 6.7.3 Variaciones del esquema 6.7.4 Otro ejemplo 6.7.5 Estados no usados 6.7.6 Asignación de códigos de estados de salida 6.7.7 Codificación de estados no importa	500
6.8 Otros enfoques para el diseño de las máquinas de estados 6.8.1 Contadores MSI y registros de corrimientos como maquinas de estados 6.8.2 Descomposición de las maquinas de estados	527
6.9 Metodología de diseño sincrónico 6.9.1 Estructura de un sistema sincrónico 6.9.2 Ejemplo de diseño de un sistema sincrónico 6.9.3 Desfasamiento del reloj 6.9.4 Adecuación del reloj 6.9.5 Entradas asincrónicas	533
6.10 Fallas del sincrozinador y estimación de la metaestabilidad 6.10.1 fallas del sincronizador 6.10.2 Tiempo de resolución 6.10.3 Diseño de un sincronizador confiable 6.10.4 Análisis de la sincronización metaestable 6.10.5 Mejores sincronizadores 6.10.6 Otros diseños de sincronizadores 6.10.7 Flip flops raramente metaestables	547
Referencias	556
Ejercicios	557
7 Dispositivos lógicos prográmales	567
7.1 Memoria de solo lectura 7.1.1 Uso de las ROM para funciones lógicas combinacionales	568

7.1.2 Estructura interna de a ROM 7.1.3 Descodificación bidimensional 7.1.4 Tipos de ROM comerciales 7.15 Entradas de control y tiempos de la ROM 7.1.6 Aplicaciones ROM	
7.2 PLD combinacionales 7.2.1 Arreglos lógicos programables (PLA) 7.2.2 ROM vs. PLA 7.2.3 Dispositivos de lógica de arreglo programable (PAL) 7.2.4 El lenguaje de programación ABEL 7.2.5 Polaridad de la señal 7.2.6 Lógica de dos pasos 7.2.7 Aplicaciones de PLD combinacionales 7.2.8 Conjuntos y relaciones 7.2.9 Otra aplicación PLD combinacional 7.2.10 Otros PLD combinacionales y otras aplicaciones 7.2.11 Control de salida de tres estados 7.2.12 Biestables	589
7.3 PLD secuenciales 7.3.1 PLD de registro estándar 7.3.2 Especificaciones de tiempos para PLD 7.3.3 Aplicaciones de los PLD de registro 7.3.4 Diseño de contadores binarios con PLD de la serie X 7.3.5 Diseño de contadores con PLD de la serie X 7.3.6 Salidas en cascada y acarreo 7.3.7 Ejemplo de diseño con la serie X	618
7.4 Diseño de máquinas de estados con PLD secuenciales 7.4.1 Tiempo y empaquetado de máquinas de estado basadas en PLD 7.4.2 Síntesis de maquinas basadas en PLD mediante listas de transición 7.4.3 Diseño con un lenguaje de descripción de maquinas de estado 7.4.4 Controlador de luces para el peor trafico del mundo	637
7.5 Memoria de lectura/escritura 7.5.1 Estructura de la RAM estadísticas estándar 7.5.2 RAM estadística estándar 7.5.3 RAM dinámica	648
Referencias	665
Ejercicios	666
8 Temas adicionales del mundo real	671
8.1 Herramientas de ingeniería asistida por computadora 8.1.1 Captura de esquemas 8.1.2 Análisis y simulación del circuito 8.1.3 Lenguajes para la descripción de hardware	671
8.2 Diseños con capacidad de verificación 8.2.1 Pruebas 8.2.2 Pruebas en circuito y con soporte de clavos 8.2.3 Métodos de barrido	677
8.3 Estimación de la confiabilidad del sistema digital 8.3.1 Tasa de fallas 8.3.2 Confiabilidad y MTBF	683

8.3.3 Confiabilidad del sistema	
8.4 Líneas de transmisión, reflexiones y terminaciones 8.4.1 Teoría básica de línea de transmisión 8.4.2 Interconexiones de señales lógicas como líneas de transmisión	688
Referencias	694
A Revisión de circuitos eléctricos A.1 Fundamentos A.1.1 Carga A.1.2 Voltaje A.1.3 Corriente A.1.4 Circuitos	696
A.2 Resistencia y circuitos equivalentes A.2.1 Ley de Ohn y resistencias A.2.2 Potencia A.2.3 El equivalente de Thévenin	702
A.3 Capacitores	708
A.4 Circuitos RC	710
Ejercicios **Índice**	717