

INDICE

Prefacio	XXI
Capítulo 1. Estructura básica de los computadores	
1.1. tipos de computadores	2
1.2. unidades funcionales	3
1.2.1. unidad de entrada	4
1.2.2. unidad de memoria	5
1.2.3. unidad aritmético lógica	
1.2.4. unidad de salida	6
1.2.5. unidad de control	
1.3. conceptos básicos de funcionamiento	7
1.4. estructuras de bus	10
1.5. software	11
1.6. rendimiento	13
1.6.1. reloj del procesador	14
1.6.2. ecuación básica de rendimiento	
1.6.3. segmentación de cauce y funcionamiento superescalar	15
1.6.4. velocidad del reloj	16
1.6.5. repertorio de instrucciones: CISC y RISC	
1.6.6. compilador	17
1.6.7. medida del rendimiento	18
1.7. multiprocesadores y multicomputadores	
1.8. perspectiva histórica	19
1.8.1. la primera generación	
1.8.2. la segunda generación	20
1.8.3. la tercera generación	
1.8.4. la cuarta generación	21
1.8.5. mas allá de la cuarta generación	
1.8.6. la evolución del rendimiento	
1.9. observaciones finales	22
Problemas	
Referencias	24
Capítulo 2. Instrucciones maquina y programas	
2.1. números, operaciones aritméticas y caracteres	27
2.1.1. representación de los números	
2.1.2. suma de números positivos	28
2.1.3. suma y resta de números con signo	29
2.1.4. desbordamiento en aritmética entera	
2.1.5. caracteres	32
2.2. presiones y direcciones de memoria	33
2.2.1. direccionamiento de bytes	34
2.2.2. direccionamiento de bytes en palabras	
2.2.3. alineamiento de palabras	35
2.2.4. acceso a números, caracteres y cadenas de caracteres	
2.3. operaciones de memoria	36
2.4. instrucciones y secuenciamiento de instrucciones	
2.4.1. notación de transferencia entre registros	37
2.4.2. notación de lenguaje ensamblador	38

2.4.3. tipos básicos de instrucciones	
2.4.4. ejecución de instrucciones y secuenciamiento lineal	42
2.4.5. saltos	44
2.4.6. códigos de condición	46
2.4.7. generación de direcciones de memoria	
2.5. modos de direccionamiento	47
2.5.1. implementación de variables y constantes	48
2.5.2. direccionamiento de variables y constantes	50
2.5.3. indexación y matrices	52
2.5.4. direccionamiento relativo	
2.5.5. modos de direccionamiento adicionales	56
2.6. lenguaje ensamblador	58
2.6.1. directivas del ensamblador	60
2.6.2. ensamblado y ejecución de los programas	62
2.6.3. notación numérica	
2.7. operaciones básicas de entrada/salida	64
2.8. pilas y colas	68
2.9. subrutinas	72
2.9.1. anidamiento de subrutinas y la pila del procesador	73
2.9.2. paso de parámetros	74
2.9.3. marco de pila	76
2.10. instrucciones adicionales	80
2.10.1. instrucciones lógicas	81
2.10.2. instrucciones de desplazamiento y rotación	82
2.10.3. multiplicación y división	84
2.11. Programas de ejemplo	
2.11.1. producto vectorial de vectores	86
2.11.2. programa para ordenar bytes	87
2.11.3. listas enlazadas	89
2.12. codificación de instrucciones maquina	94
2.13. observaciones finales	98
Problemas	99
Capítulo 3. Repertorio de instrucciones de ARM, Motorola e Intel	
Parte I. ARM	106
3.1. Registros, accesos a memoria y transferencia de datos	
3.1.1. estructura de los registros	107
3.1.2. instrucciones de acceso a memoria de direccionamiento	108
3.1.3. instrucciones de transferencia entre registros	
3.2. instrucciones aritméticas y lógicas	115
3.2.1. instrucciones aritméticas	116
3.2.2. instrucciones lógicas	117
3.3. instrucciones de salto	119
3.3.1. modificación de los códigos de condición	
3.3.2. programa basado en un ciclo para sumar números	120
3.4. lenguaje ensamblador	121
3.4.1. pseudo-instrucciones	122
3.5. operaciones de E/S	123
3.6. subrutinas	124
3.7. ejemplos de programas	128

3.7.1. programa para el producto escalar de vectores	
3.7.2. programa para la ordenación de bytes	129
3.7.3. subrutinas para insertar y eliminar en listas enlazadas	130
Parte II. 68000	
3.8. registros y direccionamiento	132
3.8.1. la estructura de registros 68000	
3.8.2. direccionamiento	134
3.9. instrucciones	138
3.10. lenguaje ensamblador	141
3.11. control de flujo del programa	
3.11.1. indicadores de códigos de condición	142
3.11.2. instrucciones de salto	
3.12. operaciones de E/S	145
3.13. pilas y subrutinas	146
3.14. instrucciones lógicas	151
3.15. ejemplos de programas	
3.15.1. programa para el producto escalar de vectores	152
3.15.2. programa para ordenación de bytes	
3.15.3. subrutinas para insertar y eliminar en listas enlazadas	154
Parte III. Pentium IA-32	
3.16. registros y direccionamiento	155
3.16.1. estructura de registros IA-32	156
3.16.2. modos de direccionamiento IA-32	158
3.17. instrucciones IA-32	164
3.17.1. formato de las instrucciones maquina	168
3.18. lenguaje ensamblador IA-32	170
3.19. flujo de control en los programas	
3.19.1. saltos condicionales e indicadores de códigos de condición	171
3.19.2. salto incondicional	
3.20. instrucciones lógicas y de desplazamiento/rotación	173
3.20.1. operaciones lógicas	
3.20.2. operaciones de desplazamiento y rotación	174
3.21. operaciones de E/S	
3.21.1. E/S asignada en memoria	175
3.21.2. E/S aislada	
3.21.3. transferencia de bloques	176
3.22. subrutinas	177
3.23. otras instrucciones	
3.23.1. instrucciones de multiplicación y división	182
3.23.2. instrucciones de la extensión multimedia (MMX)	183
3.23.3. instrucciones vectoriales (SIMD)	
3.24. Ejemplos de programas	184
3.24.1. programa para el producto escalar de vectores	
3.24.2. programa para ordenación de bytes	
3.24.3. subrutinas para insertar y eliminar en listas enlazadas	185
3.25. observaciones finales	186
Problemas	188
Referencias	202
Capítulo 4. Organización de entrada/salida	204

4.1. acceso a dispositivos de E/S	
4.2. interrupciones	208
4.2.1. interrupciones hardware	210
4.2.2. habilitando y deshabilitando interrupciones	211
4.2.3. empleo de múltiples dispositivos	213
4.2.4. control de las peticiones de los dispositivos	218
4.2.5. excepciones	220
4.2.6. uso de las interrupciones en los sistemas operativos	221
4.3. ejemplos de procesadores	224
4.3.1. estructura de las interrupciones para ARM	225
4.3.2. estructura de las interrupciones en el 68000	230
4.3.3. estructura de las interrupciones en el Pentium	232
4.4. acceso directo a memoria	234
4.4.1. arbitraje del bus	237
4.5. buses	240
4.5.1. bus síncrono	241
4.5.2. bus asíncrono	245
4.5.3. discusión	247
4.6. circuitos de interfaz	248
4.6.1. puertos paralelos	249
4.6.2. puerto serie	257
4.7. estándares para interfaces de E/S	259
4.7.1. bus PCI	260
4.7.2. bus SCSI	267
4.7.3. bus USB	272
4.8. observaciones finales	
Problemas	284
Referencias	291
Capítulo 5. El sistema de memoria	
5.1. algunos conceptos básicos	294
5.2. memorias RAM semiconductoras	
5.2.1. organización interna de los chips de memoria	297
5.2.2. memorias estáticas	299
5.2.3. DRAM asíncronas	301
5.2.4. DRAM sincronas	304
5.2.5. estructura de asa memorias de mayor tamaño	307
5.2.6. aspectos relativos al sistema de memoria	309
5.2.7. memoria Rambus	311
5.3. memorias de solo-lectura	312
5.3.6. ROM	
5.3.7. PROM	313
5.3.8. EPROM	
5.3.9. EEPROM	314
5.3.10. Memoria flash	
5.4. velocidad, tamaño y coste	316
5.5. memorias cache	317
5.5.1. funciones de correspondencia	319
5.5.2. algoritmos de sustitución	324
5.5.3. ejemplos de técnicas de correspondencia	325

5.5.4. ejemplos de caches en procesadores comerciales	328
5.6. influencia en las prestaciones	332
5.6.1. entrelazado	333
5.6.2. tasa de aciertos y penalización por fallos	335
5.6.3. caches en el chip del procesador	338
5.6.4. otras mejoras	339
5.7. memoria virtual	341
5.7.1. traducción de direcciones	342
5.8. requisitos de la gestión de memoria	346
5.9. memoria secundaria	
5.9.1. discos duros magnéticos	347
5.9.2. discos ópticos	356
5.9.3. sistemas de cinta magnética	362
5.10. observaciones finales	364
Problemas	365
Referencias	371
Capítulo 6. Aritmética	
6.1. suma y resta de números con signo	374
6.1.1. unidad lógica de suma/resta	375
6.2. diseño de sumadores rápidos	377
6.2.1. suma con acarreo anticipado	378
6.3. multiplicación de números positivos	382
6.4. multiplicación de números con signos	
6.4.1. algoritmo de Booth	386
6.5. multiplicación rápida	389
6.5.1. recodificación de los multiplicadores en parejas de bits	389
6.5.2. acumulación con acarreo almacenado de los sumandos	390
6.6. división de enteros	395
6.7. números y operaciones en coma flotante	399
6.7.1. estándar del IEEE para los números en coma flotante	400
6.7.2. operaciones aritméticas con números en coma flotante	403
6.7.3. Bits de guarda y truncamiento	404
6.7.4. implementación de operaciones en coma flotante	405
6.8 observaciones finales	407
Problemas	408
Referencias	415
Capítulo 7. Unidades básicas de procesamiento	
7.1. algunos conceptos fundamentales	418
7.1.1. transferencia de los registros	
7.1.2. realización de una operación aritmética o lógica	421
7.1.3. capitación de una palabra desde memoria	423
7.1.4. almacenamiento de una palabra en memoria	
7.2. ejecución de una instrucción completa	426
7.2.1. instrucciones de salto	427
7.3. organizaron con múltiples buses	428
7.4. control cableado	430
7.4.1. un procesador completo	433
7.5. Control microprogramado	434
7.5.1. microinstrucciones	437

7.5.2. secuencia del microprograma	439
7.5.3. direccionamiento con salto múltiple	442
7.5.4. microinstrucciones con campo de siguiente dirección	444
7.5.5. precaptación de microinstrucciones	446
7.5.6. emulación	447
7.6. observaciones finales	448
Problemas	450
Capítulo 8. Segmentación de cauce	
8.1. conceptos básicos	458
8.1.1. el papel de la memoria cache	460
8.1.2. prestaciones del cauce	462
8.2. Riesgos de datos	465
8.2.1. adelantamiento de operandos	466
8.2.2. gestión software de los riesgos de datos	
8.2.3. efectos colaterales	468
8.3. riesgo de instrucciones	
8.3.1. saltos incondicionales	469
8.3.2. saltos condicionales y predicción de saltos	473
8.4. influencia en los repertorios de instrucciones	479
8.4.1. modos de direccionamiento	480
8.4.2. códigos de condición	482
8.5. consideraciones al respecto al camino de datos y al control	483
8.6. funcionamiento superescalar	485
8.6.1. ejecución desordenada	487
8.6.2. finalización de la ejecución	488
8.6.3. la operación de emisión	489
8.7. ejemplo: el ULTRASPARC II	490
8.7.1. la arquitectura SPARC	491
8.7.2. ULTRASPARC II	497
8.7.3. estructura del cauce segmentado	498
8.8. consideraciones relativas a las prestaciones	506
8.8.1. efecto de los riesgos de control	507
8.8.2. número de etapas de un cauce segmentado	
8.9. consideraciones finales	509
Problemas	510
Referencias	512
Capítulo 9. Sistemas embebidos	
9.1. ejemplos de sistemas embebidos	514
9.1.1. horno de microondas	
9.1.2. cámara digital	516
9.1.3. telemetría doméstica	518
9.2. chips procesadores para aplicaciones embebidas	519
9.3. un microcontrolador sencillo	520
9.3.1. puertos de e/s paralelo	521
9.3.2. interfaz de E/S serie	524
9.3.3. contador/temporizador	525
9.3.4. mecanismo de control de interrupciones	526
9.4. aspectos de programación	
9.4.1. solución mediante consulta	527

9.4.2. solución mediante interrupciones	528
9.5. restricciones de temporización de los dispositivos de e/s	533
9.5.1. programa en c para la transferencia mediante buffer circular	534
9.5.2. programa en ensamblador para la transferencia mediante buffer circular	535
9.6. temporizador de reacción (un ejemplo)	
9.6.1. programa en c par el temporizador de reacción	537
9.6.2. programa en lenguaje ensamblador para el temporizador de reacción	539
9.6.3. comentarios finales	540
9.7. familias de procesadores embebidos	
9.7.1. microcontroladores basados en el Intel 8051	541
9.7.2. microcontroladores de Motorola	542
9.7.3. microcontroladores ARM	
9.8. aspectos relativos al diseño	543
9.9. sistemas en un chip	
9.9.1. implementación con FPGA	547
9.10. Consideraciones finales	
Problemas	550
Referencias	553
Capítulo 10. Periféricos	
10.1. dispositivos de entrada	556
10.1.1. teclado	
10.1.2. ratón	557
10.1.3. ratón estacionario, palanca de juegos y almohadilla táctil	558
10.1.4. escáner	559
10.2. dispositivos de salida	
10.2.1. monitores de visualización	560
10.2.2. pantallas planas	561
10.2.3. impresoras	562
10.2.4. aceleradoras gráficas	563
10.3. enlaces de comunicación serie	565
10.3.1. transmisión asíncrona	568
10.3.2. transmisión síncrona	570
10.3.3. interfaces de comunicaciones estándares	572
10.4. observaciones finales	
Problemas	576
Capítulo 11. Familias de procesadores	
11.1. la familia ARM	581
11.1.1. el repertorio de instrucciones thumb	
11.1.2. núcleos de procesador y de CPU	582
11.2. las familias Motorola 680x0 y Coldfire	
11.2.1. procesador 68020	584
11.2.2. mejoras en los procesadores 68030 y 68040	587
11.2.3. procesador 68060	
11.2.4. la familia Coldfire	588
11.3. la familia Intel la-32	
11.3.1. la segmentación de memoria en la la-32	589
11.3.2. modo de 16 bits	591

11.3.3. procesadores 80386 y 80486	
11.3.4. procesador Pentium	
11.3.5. procesador Pentium Pro	592
11.3.6. procesadores Pentium II y III	
11.3.7. el procesador Pentium 4	593
11.3.8. los procesadores la-32 de advanced micro devices	
11.4. la familia Powerpc	594
11.4.1. conjunto de registros	
11.4.2. modos de direccionamiento a memoria	595
11.4.3. instrucciones	
11.4.4. procesadores PowerPC	596
11.5. la familia Sparc de SUN Microsystem	598
11.6. la familia Alpha de Compaq	599
11.6.1. formatos de instrucciones y modos de direccionamiento	
11.6.2. procesador Alpha 21064	600
11.6.3. procesador Alpha 21164	
11.6.4. procesador Alpha 21264	601
11.7. la familia la-64 de Intel	
11.7.1. haces de instrucciones	602
11.7.2. ejecución condicional	
11.7.3. cargas especulativas	603
11.7.4. registros y pila de registros	604
11.7.5. procesador Itanium	606
11.8. Procesador basado en pila	
11.8.1. estructura de pila	607
11.8.2. instrucciones de pila	609
11.8.3. registros hardware en la pila	614
11.9. consideraciones finales	615
Problemas	616
Referencias	618
Capitulo 12. Grandes sistemas de computadores	
12.1. formas de procesamiento paralelo	623
12.1.1. clasificación de estructuras paralelas	
12.2. procesadores matriciales	624
12.3. estructuras de multiprocesadores de uso general	626
12.4. redes de interconexión	
12.4.1. un único bus	628
12.4.2. redes de barras cruzadas	629
12.4.3. redes multietapa	630
12.4.4. redes hipercubo	632
12.4.5. redes malla	633
12.4.6. redes árbol	634
12.4.7. redes anillo	635
12.4.8. consideraciones prácticas	636
12.4.9. redes de topología mixta	
12.4.10. multiprocesadores simétricos	640
12.5. organización de memoria en multiprocesadores	641
12.6. paralelismo en programas y variables compartidas	642
12.6.1. acceso a variables compartidas	643

12.6.2. coherencia de cache	645
12.6.3. necesidad de cerrojos y coherencia de cache	648
12.7. multicomputadores	649
12.7.1. redes de área local	
12.7.2. 12.7.2. bus Ethernet (CSMA/CD)	650
12.7.3. Anillo con paso de testigo	
12.7.4. redes de estaciones de trabajo	651
12.8. memoria compartida y paso de mensajes desde el punto de vista del programador	652
12.8.1. usando memoria compartida	653
12.8.2. usando de paso de mensajes	655
12.9. consideraciones sobre prestaciones	657
12.9.1. ley de Amdahl	658
12.9.2. indicadores de prestaciones	659
12.10. observaciones finales	660
Problemas	661
Referencias	664
Apéndice A. Circuitos lógicos	
A.1. funciones lógicas básicas	666
A.1.1. Puertas lógicas electrónicas	669
A.2. síntesis de funciones lógicas	670
A.3. minimización de expresiones lógicas	671
A.3.1. minimización utilizando mapas de Karnaugh	674
A.3.2. indiferencias	677
A.4. síntesis con puertas NAND y NOR	679
A.5. Implementación práctica de puertas lógicas	681
A.5.1. circuitos CMOS	683
A.5.2. Retardo de propagación	689
A.5.3. limitaciones en el abanico de entrada y de salida	
A.5.4. adaptadores tri-estado	690
A.5.5. encapsulado de circuitos integrados	692
A.6. biestables	
A.6.1. cerrojos sincronizados	693
A.6.2. biestables dueño -esclavo	697
A.6.3. disparo por flanco	698
A.6.4. biestable T	700
A.6.5. biestables JK	701
A.6.6. biestables con puesta a 1 y puesta a 0 asíncronas	702
A.7. registros y registros de desplazamiento	
A.8. contadores	703
A.9. decodificadores	705
A.10. multiplexores	706
A.11. dispositivos lógicos programables (PLD)	709
A.11.1. matriz lógica programable (PLA)	710
A.11.2. lógica de matriz programable (PAL)	711
A.11.3. dispositivos lógicos programables complejos (CPLD)	712
A.12. conjuntos de puertas configurables por campo	
A.13. circuitos secuenciales	716
A.13.1. ejemplo de contador ascendente/descendente	719

A.13.2. diagramas de tiempo	720
A.13.3. modelo de máquina finita de estados finita	722
A.13.4. síntesis de las máquinas de estados finitas	725
A.14. observaciones finales	726
Problemas	726
Referencias	733
Apéndice B. Repertorio de instrucciones ARM	
B.1. codificación de las instrucciones	736
B.1.1. instrucciones aritméticas y lógicas	
B.1.2. instrucciones de carga y memorización	742
B.1.3. instrucciones de carga y memorización de bloques	745
B.1.4. instrucciones de salto y salto con enlace	747
B.1.5. instrucciones de control de la máquina	748
B.2. otras instrucciones ARM	
B.2.1. instrucciones del coprocesador	750
B.2.2. instrucciones de las versiones v4 y v5	
B.3. experimentos de programación	751
Apéndice C. Repertorio de instrucciones del Motorola 68000	
Apéndice D. Repertorio de instrucciones Intel IA-32	772
D.1. codificación de las instrucciones	
D.1.1. modos de direccionamiento	773
D.2. instrucciones básicas	
D.2.1. instrucciones de salto condicional	775
D.2.2. instrucciones de salto incondicional	781
D.3. Bytes prefijo	
D.4. otras instrucciones	782
D.4.1. instrucciones cadena	
D.4.2. instrucciones de coma flotante, MMX y SSE	783
D.5. operaciones con 16 bits	
D.6. experimentos de programación	784
Apéndice E. Códigos de caracteres y conversión de números	
E.1. códigos de caracteres	788
E.2. conversión de decimal a binario	791
Índice analítico	793