

INDICE

Prologo	XIII
Capitulo 1. Introducción al procesamiento paralelo	
1.1. Evolución de los computadores	1
1.1.1. Generaciones de computadores	2
1.1.2. Tendencias hacia el procesamiento paralelo	5
1.2. Paralelismo en sistemas monoprocesador	9
1.2. 1. Arquitectura básica de monoprocesador	10
1.2.2. Mecanismo de procesamiento paralelo	12
1.2.3. Equilibrio de los anchos de banda de los subsistemas	14
1.2.4. Multiprogramación y tiempo compartido	18
1.3. Estructuras de computadores paralelos	
1.3.1. Computadores de segmentación encauzada	22
1.3.2. Computadores matriciales	26
1.3.3. Sistemas multiprocesadores	28
1.3.4. Rendimiento de los computadores paralelos	30
1.3.5. Flujo de datos y nuevos conceptos	32
1.4. Esquemas de clasificación de arquitecturas	
1.4.1. Multiplicidad de flujos de instrucciones y datos	35
1.4.2. Procesamiento serie frente a procesamiento paralelo	38
1.4.3. Paralelismo frente a segmentación encauzada	40
1.5. Aplicaciones del procesamiento paralelo	40
1.5.1. Modelación predictiva y simulaciones	44
1.5.2. Diseño y automatización de proyectos de ingeniería	47
1.5.3. Exploración de recursos energéticos	50
1.5.4. investigación medica, militar y básica	52
1.6. Notas bibliográficas y problemas	54
Capitulo 2. Subsistemas de memoria y de entrada-salida	
2.1. Estructura jerárquica de memoria	57
2.1.1. Jerarquía de memoria	58
2.1.2. Optimización de la jerarquía de memoria	62
2.1.3. Esquemas de direccionamiento de la memoria principal	64
2.2. Sistemas de memoria virtual	66
2.2.1. El concepto de memoria virtual	67
2.2.2. Sistemas de memoria paginada	72
2.2.3. Sistemas de memoria segmentada	79
2.2.4. Memoria con segmentos paginados	84
2.3. Asignación y administración de memoria	
2.3.1. Clasificación de las políticas de memoria	88
2.3.2. Control de carga optima	95
2.3.3. Políticas de administración de memoria	100
2.4. Las memorias cache y su administración	108
2.4.1. Características de las memorias cache	109
2.4.2. Organizaciones de las memorias cache	113
2.4.3. Políticas de extracción y actualización de de las memorias principal	124
2.4.4. Políticas de reemplazo de bloques	128
2.5. Subsistemas de entrada-salida	131

2.5. Características de los subsistemas de E/S	
2.5.2. Mecanismos de interrupción y hardware especial	135
2.5.3. Procesadores de E/S y canales de E/S	141
2.6. Notas bibliográficas y problemas	155
Capítulo 3. Principios de segmentación encauzada y procesamiento vectorial	160
3.1. Segmentación encauzada: un paralelismo solapado	
3.1.1. Principios de la segmentación encauzada lineal	161
3.1.2. Clasificación de los procesadores encauzados	167
3.1.3. Causas generales y tablas de reservas	170
3.1.4. Organizaciones de memoria entrelazada	172
3.2. Cauces de instrucciones y causas aritméticas	
3.2.1. Diseño de las unidades de instrucción encauzadas	181
3.2.2. Ejemplos de diseño de cauces aritméticos	187
3.2.3. Cauces multifunción y cauces matriciales	198
3.3. Principios de diseño de los procesadores encauzados	205
3.3.1. Prebúsqueda de instrucciones y administración de bifurcaciones	206
3.3.2. Retención de datos y estructuras de interconexión con buses	211
3.3.3. Reexpedición interna y marcaje de registro	216
3.3.4. Detección y resolución de azares	220
3.3.5. Secuenciamiento de trabajos y prevención de colisiones	223
3.3.6. Cauces dinámicos y reconfigurabilidad	229
3.4. Exigencias del procesamiento vectorial	
3.4.1. Características del procesamiento vectorial	234
3.4.2. Repartición de múltiples tareas vectoriales	241
3.4.3. Métodos de procesamiento vectorial encauzado	247
3.5. Notas bibliográficas y problemas	252
Capítulo 4. Computadores de segmentación encauzada y métodos de vectorización	
4.1. El espacio de los computadores de segmentación encauzada	257
4.1.1. Supercomputadores vectoriales	258
4.1.2. Procesadores científicos asociados	260
4.2. Los primeros procesadores vectoriales	261
4.2.1. Arquitectura del Star-100 y el TI-ASC	261
4.2.2. Procesamiento vectorial en modo de flujo continuo	270
4.3. Procesadores científicos asociados	274
4.3.1. Arquitectura del AP-120B	275
4.3.2. Computaciones vectoriales especializadas (Back-End)	281
4.3.3. FPS-164, IBM 3838 y Datawest MATP	285
4.4. Procesadores vectoriales recientes	
4.4.1. Arquitectura de Cray-1	291
4.4.2. Encadenamiento de cauces y bucles vectoriales	299
4.4.3. arquitectura del Cyber-205	308
4.4.4. Procesamiento vectorial en el Cyber-205 y el CDC-NASF	313
4.4.5. E Fujitsu VP-200 y características especiales de este	322
4.5. Métodos de vectorización y optimización	
4.5.1. Características de los lenguajes para procesamiento vectorial	331
4.5.2. Diseño de compiladores con vectorización	335
4.5.3. Optimización de funciones vectoriales	338

4.5.4. Evaluación del rendimiento de los computadores encauzados	346
4.6. Notas bibliográficas y problemas	252
Capítulo 5. Estructuras y algoritmos para procesadores matriciales	
5.1. Procesadores matriciales SIMD	357
5.1.1. Organizaciones de los computadores SIMD	358
5.1.2. Mecanismos de enmascaramiento y encaramiento de datos	361
5.1.3. Comunicaciones Inter-EP	365
5.2. Redes de interconexión SIMD	366
5.2.1. Redes estáticas frente a redes dinámicas	367
5.2.2 Red Illiac conectada en mala	372
5.2.3. Redes de interconexión en cubo	375
5.2.4. Desplazador barril y manipulador de datos	378
5.2.5. Redes de baraje-intercambio y redes Omega	383
5.3. Algoritmos paralelos para procesadores matriciales	388
5.3.1. Multiplicación SIMD de matrices	389
5.3.2. Algoritmos de clasificación paralela sobre procesadores matriciales	395
5.3.3. Transformada rápida de Fourier SIMD	400
5.3.4. Cuestiones de conexión para procesamiento SIMD	407
5.4. Procesamiento matricial asociativo	
5.4.1. Organizaciones de memoria asociativa	410
5.4.2. Procesadores asociativos (PEPE y STARAN)	416
5.4.3. Algoritmos de búsqueda asociativa	421
5.5. Notas bibliográficas y problemas	424
Capítulo 6. Computadoras SIMD y aumento de rendimiento	
6.1. El espacio de las computadores SIMD	430
6.1.1. Procesadores matriciales y asociativos	431
6.1.2. Perspectivas de las computadores SIMD	433
6.2. Los sistemas Illiac-IV y BSP	435
6.2.1. Arquitectura del sistema Illiac-IV	436
6.2.2. Aplicaciones del Illiac-IV	441
6.2.3. La arquitectura del sistema BSP	448
6.2.4. El sistema de memoria prima	452
6.2.5. El vectorizador Fortran del BSP	455
6.3. El procesador masivamente paralelo	
6.3.1. Arquitectura del sistema MPP	459
6.3.2. Matriz de procesamiento, memoria y control	465
6.3.3. Procesamiento de imágenes en el MPP	469
6.4. Métodos para aumentar el rendimiento	473
6.4.1. Asignación de memoria paralela	474
6.4.2. Lenguajes de procesamiento matricial	481
6.4.3. Análisis de rendimiento de los procesamientos matriciales	486
6.4.4. Organización de un computador múltiple SIMD	489
6.5. Notas bibliográficas y problemas	495
Capítulo 7. Arquitectura y programación de los multiprocesadores	
7.1. Estructuras funcionales	500
7.1. Multiprocesadores ligeramente acoplados	501
7.1.2. Multiprocesadores estrechamente acoplados	510
7.1.3. Características de un procesador para multiprocesamiento	519

7.2. Redes de interconexión	
7.2.1. Buses comunes o de tiempo compartido	523
7.2.2. Conmutador de barras cruzadas y memorias multipuerto	519
7.2.3. Redes multietapa para multiprocesadores	537
7.2.4. Rendimiento de las redes de interconexión	546
7.3. Organizaciones de memoria paralela	
7.3.1. Configuraciones de memoria entrelazada	553
7.3.2. Compromisos de rendimiento en organizaciones de memoria	558
7.3.3. Problemas y soluciones de los multicache	564
7.4. Sistemas operativos multiprocesador	570
7.4.1. Clasificación de los sistemas operativos multiprocesadores	572
7.4.2. Requisitos de software para multiprocesadores	575
7.4.3. Requisitos de los sistemas operativos	578
7.5. Explotación de la concurrencia en el multiprocesamiento	
7.5.1. Características del lenguaje para explotar el paralelismo	581
7.5.2. Detección del paralelismo en los programas	589
7.5.3. Reestructuración de programas y algoritmos	593
7.6. Notas bibliográficas y problemas	600
Capítulo 8. Multiprocesamiento: control y algoritmos	
8.1. Mecanismo de comunicación entre procesos	606
8.1.1. Mecanismo de sincronización de procesos	
8.1.2. Sincronización de semáforos	615
8.1.3. Secciones críticas condicionales y monitores	621
8.2. Interbloqueos de sistemas y protección	
8.2.1. Problemas de interbloqueo del sistema	627
8.2.2. Prevención y evitación de Interbloqueos	630
8.2.3. Detección y recuperación de Interbloqueos	633
8.2.4. Esquemas de protección	634
8.3. Estrategias de planificación en multiprocesadores	
8.3.1. dimensiones de la administración de múltiples procesadores	641
8.3.2. Modelos de planificación deterministas	647
8.3.3. Modelos De planificación estocásticos	659
8.4. Algoritmos paralelos para multiprocesadores	
8.4.1. Clasificación de los algoritmos paralelos	667
8.4.2. Algoritmos paralelos sincronizados	669
8.4.3. Algoritmos paralelos asincrónicos	676
8.5. Notas bibliográficas y problemas	691
Capítulo 9. Ejemplos de sistemas multiprocesador	
9.1. El espacio de los sistemas multiprocesador	699
9.1.1. Sistemas experimentales	
9.1.2. Multiprocesadores comerciales	700
9.2. El sistema multiprocesador C.mmp	
9.2.1. Arquitectura del sistema C.mmp	701
9.2.2 El sistema operativo Hydra	707
9.2.3. Rendimiento del C.mmp	712
9.3. El sistema multiprocesador S-1	716
9.3.1. La arquitectura del sistema S-1	714
9.3.2. Monoprocesadores para multiprocesamiento	719
9.3.3. desarrollo de software del S-1	727

9.4. El sistema multiprocesador HEP	
9.4.1. Arquitectura del sistema HEP	728
9.4.2. Módulos de ejecución de procesos	733
9.4.3. Procesamiento paralelo en el HEP	739
9.5. Sistemas multiprocesadores comerciales	
9.5.1. IBM 370/168 MP, 3033 y 3081	744
9.5.2. Sistemas operativo para multiprocesadores IBM	753
9.5.3. Las series Univac 1100/80 y 1100/90	755
9.5.4. El sistema Tandem Nonstop	766
9.6. El Cary X-MP y el Cray-2	
9.6.1. Arquitectura del sistema Cray X-MP	776
9.6.2. Multitareas en el Cray X-MP	780
9.6.3. Rendimiento del Cray X-MP	784
9.7. Notas bibliográficas y problemas	791
Capítulo 10. Computadores de flujo de datos y computaciones VLSI	
10.1. Computación y lenguajes guiados por datos	795
10.1.1. Computadores de flujo de control frente a computadores de flujos de datos	796
10.1.2. Grafos y lenguajes de flujo de datos	803
10.1.3. Ventajas y problemas potenciales	809
10.2. Arquitecturas de los de flujo de datos	812
10.2.1. Computadores de flujo de datos estáticos	813
10.2.2. Computadores de flujo dinámicos	820
10.2.3. Alternativas de diseño para flujo de datos	829
10.3. Estructuras de computación VLSI	834
10.3.1. La arquitectura matricial sistólica	835
10.3.2. Establecimiento de correspondencia de los algoritmos sobre las matrices VLSI	840
10.3.3. Matrices reconfigurables de procesadores	846
10.4. Procesadores VLSI de aritmética matricial	
10.4.1. Módulos aritméticos VLSI	855
10.4.2. Algoritmos matriciales particionados	857
10.4.3. Causas aritméticas matriciales	865
10.4.4. Procesamiento de imágenes en tiempo real	871
10.5. Notas bibliográficas y problemas	875
Bibliografía	881
Índice	901