

INDICE

| | |
|--|-----------|
| Prefacio | XV |
| 1. Introducción | 1 |
| 1.1. Lenguajes, niveles y maquinas virtuales | 4 |
| 1.2. Maquinas multinivel actuales | 4 |
| 1.3. Evolución histórica de las maquinas multinivel | 8 |
| 1.4. Hardware, software y maquinas multinivel | 12 |
| 1.5. Cronología histórica de la arquitectura de computadoras | 14 |
| 1.5.1. La generación cero – Computadoras mecánicas (1642 - 1945) | 16 |
| 1.5.2. La primera generación – bulbos (1945 - 1955) | 18 |
| 1.5.3. La segunda generación – transistores (1955 - 1965) | 21 |
| 1.5.4. La tercera generación – circuitos integrados (1965 - 1980) | 23 |
| 1.5.5. La cuarta generación – computadoras personales u VLSI (1980 – 199?) | 25 |
| 1.5.6. La familia Intel | 27 |
| 1.5.7. La familia Motorola | 29 |
| 1.6. Plan del libro | 31 |
| 2. Organización de computadoras | 35 |
| 2.1 Procesadores | 35 |
| 2.1.1 Ejecución de instrucciones | 36 |
| 2.1.2 Organización de la unidad central de proceso (CPU) | 39 |
| 2.1.3 Ejecución de instrucciones en paralelo | 40 |
| 2.2 Memoria | 45 |
| 2.2.1 Bits | 45 |
| 2.2.2 Direcciones de memoria | 46 |
| 2.2.3 Ordenamiento de bytes | 48 |
| 2.2.4 Códigos para corrección de errores | 50 |
| 2.2.5. Memoria secundaria | 54 |
| 2.3. Dispositivos de Entrada / salida | 61 |
| 2.3.1 Terminales | 65 |
| 2.3.2. Modems | 69 |
| 2.3.3 Ratones | 74 |
| 2.3.4. Impresoras | 76 |
| 2.3.5. Códigos de caracteres | 80 |
| 2.4 Resumen | 80 |
| 3. El Nivel de Lógica Digital | 86 |
| 3.1 Compuertas y algebra booleana | 86 |
| 3.1.1 Compuertas | 87 |
| 3.1.2 Algebra booleana | 89 |
| 3.1.3 Implementación de funciones booleanas | 91 |
| 3.1.4 Equivalencia de circuitos | 94 |
| 3.2 Circuitos digitales básicos | 98 |
| 3.2.1 Circuitos integrados | 98 |
| 3.2.2 Circuitos combinacionales | 101 |
| 3.2.3 Circuitos aritméticos | 107 |
| 3.2.4 Relojes | 110 |
| 3.3 Memoria | 113 |
| 3.3.1 Biestables | 113 |

| | |
|---|------------|
| 3.3.2 Flip-flops y registros | 116 |
| 3.3.3 Organización de al memorias | 119 |
| 3.3.5 propiedades de las memorias | 122 |
| 3.4. Microprocesadores y Buses | 125 |
| 3.4.1. Microprocesadores | 125 |
| 3.4.2. Buses de computadora | 128 |
| 3.4.3. Buses síncronos | 130 |
| 3.4.4. Buses asíncronos | 134 |
| 3.4.5. Arbitraje del bus | 135 |
| 3.4.6. Manejo de interrupciones | 139 |
| 3.5. Ejemplos de Microprocesadores | 141 |
| 3.5.1. Los microprocesadores Intel 8088/80286/80386 | 141 |
| 3.5.2. Los microprocesadores Motorola 68000/68020/6803 | 150 |
| 3.5.3. Comparación entre los microprocesadores 80386 y 68030 | 153 |
| 3.6. Ejemplos de Buses | 154 |
| 3.6.1. El bus de la IBM PC | 154 |
| 3.6.2. El bus de la IBM PC/AT | 160 |
| 3.7. Interconexión | 170 |
| 3.7.1. Chips de E/S | 170 |
| 3.7.2. Decodificación de direcciones | 171 |
| 3.8. Resumen | 175 |
| 4. El Nivel de Microprogramación | 181 |
| 4.1.1 Repaso sobre el nivel de lógica digital | 182 |
| 4.1.2. Registros | 182 |
| 4.1.3. Buses | 183 |
| 4.1.4. Multiplexores y decodificadores | 185 |
| 4.1.5. Relojes | 187 |
| 4.1.6. Memoria principal | 188 |
| 4.1.7. Encapsulado de los componentes | 189 |
| 4.2. Una Microarquitectura Típica | 200 |
| 4.2.1. La trayectoria de datos | 191 |
| 4.2.2. Microinstrucciones | 193 |
| 4.2.3. Cronología de las microinstrucciones | 196 |
| 4.2.4. Secuencia de las microinstrucciones | 199 |
| 4.3. Una Macroarquitectura Típica | 200 |
| 4.3.1. Pilas | 200 |
| 4.3.2. El juego de macroinstrucciones | 204 |
| 4.4. Microprogramación: Un Ejemplo | 208 |
| 4.4.1. El lenguaje microensamblador | 208 |
| 4.4.2. El ejemplo de microprograma | 210 |
| 4.4.3. Observaciones sobre el microprograma | 214 |
| 4.4.4. Perspectivas | 215 |
| 4.5. El diseño del Nivel De Microprogramación | 216 |
| 4.5.1. Microprogramación horizontal frente a microprogramación vertical | 216 |
| 4.5.2. Nanoprogramación | 224 |
| 4.5.3. Mejora del rendimiento | 226 |
| 4.5.4. Procesamiento en línea (pipeline) | 229 |
| 4.5.5. Memoria Caché | 234 |

| | |
|--|------------|
| 4.6. Ejemplos el nivel de Microprogramación | 241 |
| 4.6.1. La microarquitectura del Intel | 241 |
| 4.6.2. La microarquitectura del Motorola 68000 | 246 |
| 5. El Nivel de Maquina Convencional | 257 |
| 5.1. Ejemplos del nivel de maquina Convencional | 257 |
| 5.1.1. La familia Intel 8088/80286/80386 | 258 |
| 5.1.2. La familia Motorola 68000/68020/68030 | 273 |
| 5.1.3. Comparación de los microprocesadores 80386 y 68030 | 280 |
| 5.2. Formatos de Instrucción | 281 |
| 5.2.1. Criterios de diseño de formatos de instrucción | 281 |
| 5.2.2. Códigos de operación con extensión | 284 |
| 5.2.3. Ejemplos de formatos de instrucciones | 285 |
| 5.3. Direccionamiento | 292 |
| 5.3.1. Direccionamiento inmediato | 293 |
| 5.3.2 Direccionamiento directo | 294 |
| 5.3.3. Direccionamiento de registros | 294 |
| 5.3.4. Direccionamiento indirecto | 295 |
| 5.3.5. Indexación | 297 |
| 5.3.6. Direccionamiento por medio de pilas | 298 |
| 5.3.7. Ejemplos de Direccionamiento | 306 |
| 5.3.8. Observaciones acerca de los modos de direccionamiento | 315 |
| 5.4. Tipos de Instrucciones | 317 |
| 5.4.1. Instrucciones de movimiento de datos | 317 |
| 5.4.2. Operaciones binarias | 318 |
| 5.4.3. Operaciones unirárias | 320 |
| 5.4.4. Comparaciones y saltos condicionales | 322 |
| 5.4.5. Instrucciones de llamada a procedimiento | 325 |
| 5.4.6. Control de iteraciones | 325 |
| 5.4.7. Entrada /Salida | 327 |
| 5.5. Flujo de Control | 333 |
| 5.5.1. Flujo de control secuencial y saltos | 333 |
| 5.5.2. Procedimientos | 335 |
| 5.5.3. Corrutinas | 341 |
| 5.5.4. Desvíos | 344 |
| 5.5.5. Interrupciones | 345 |
| 5.6. Resumen | 350 |
| 6 El nivel de maquina de sistema operativo | 356 |
| 6.1 Memoria virtual | 359 |
| 6.1.1 Paginación | 360 |
| 6.1.2 Implementación de a paginación | 362 |
| 6.1.3 paginación por demanda y modelo de conjunto de trabajo | 368 |
| 6.1.4 Política de sustitución de paginas | 370 |
| 6.1.5 Tamaño de pagina y fragmentación | 373 |
| 6.1.6 Segmentación | 374 |
| 6.1.7 Implementación de la segmentación | 378 |
| 6.1.8 Memoria virtual MULTICS | 380 |
| 6.1.9 Memoria virtual en el Intel 80386 | 394 |
| 6.1.10. Memoria virtual en el Motorola 68030 | 390 |

| | |
|--|-----|
| 6.1.11. Comparación de los microprocesadores 80386 y 68030 | 394 |
| 6.2 Instrucciones virtuales de Entrada / Salida | 396 |
| 6.2.1 Archivos secuenciales | 397 |
| 6.2.2 Archivos de acceso aleatorio | 399 |
| 6.2.3 Implementación de las instrucciones virtuales de E / S | 400 |
| 6.2.4. Instrucciones para manejo de directorio | 405 |
| 6.3. Instrucciones Virtuales Usadas en el Procesamiento Paralelo | 407 |
| 6.3.1. Creación de procesos | 407 |
| 6.3.2. Condiciones de carrera | 409 |
| 6.3.3. Sincronización de procesos mediante semáforos | 413 |
| 6.4. Ejemplos de Sistemas Operativos | 416 |
| 6.4.1. Ejemplos de memoria virtual | 419 |
| 6.4.2. Ejemplo de E/S virtual I/O | 422 |
| 6.4.3. Ejemplos de la administración de procesos | 434 |
| 6.4.4. Comparaciones entre UNIX y OS | 436 |
| 6.5. Resumen | 438 |
| 7 El Nivel de Lenguaje Ensamblador | 445 |
| 7.1 Introducción al lenguaje ensamblador | 446 |
| 7.1.1 ¿Qué es un lenguaje ensamblador? | 446 |
| 7.1.2 Formato de una sentencia en lenguaje ensamblador | 448 |
| 7.1.3 Comparación entre lenguaje ensamblador y lenguajes de alto nivel | 450 |
| 7.1.4 Afinación de programa | 451 |
| 7.2. El Proceso de Ensamblaje | 453 |
| 7.2.1. Ensambladores de dos pasadas | 453 |
| 7.2.2. La primera pasada | 454 |
| 7.2.3. La segunda pasada | 459 |
| 7.2.4. La tabla de símbolos | 461 |
| 7.3. Macros | 462 |
| 7.3.1. Definición, llamada y expansión de una macro | 464 |
| 7.3.2. Macros con parámetros | 465 |
| 7.3.3. Implementación de macros en un ensamblador | 467 |
| 7.4. Montaje (LINKING) y Carga | 468 |
| 7.4.1. Tareas realizadas por el programa ensamblador | 469 |
| 7.4.2. Estructura de un módulo objeto | 472 |
| 7.4.3. Tiempo de ligadura y reubicación dinámica | 474 |
| 7.4.4. Enlace dinámico | 477 |
| 7.5. Resumen | 479 |
| 8. Arquitectura de Computadoras Avanzadas | 484 |
| 8.1. Maquinas RISC | 484 |
| 8.1.1. evolución de la arquitectura de las computadoras | 485 |
| 8.1.2. Principios de diseño de las máquinas RISC | 490 |
| 8.1.3. Uso de registros | 498 |
| 8.1.4. El gran debate de la RISC frente a la CISC | 506 |
| 8.1.5. Un ejemplo de arquitectura RISC: SPARC | 514 |
| 8.1.6. Un segundo ejemplo de RISC: MIPS | 531 |
| 8.2. Arquitectura en Paralelo | 548 |
| 8.2.1. Descripción general de las computadoras en paralelo | 549 |
| 8.2.2. Computadoras MIMD de memoria desarticulada | 556 |

| | |
|--|-----|
| 8.2.3. Multiprocesadores MIMD de memoria compartida con etapas múltiples | 570 |
| 8.2.4. Multiprocesadores MIMD de memoria compartida con etapas múltiples | 570 |
| 8.2.5. Computadoras SIMD en papuelo y la máquina de conexión | 577 |
| 8.2.6. Computadoras vectoriales SIMD | 586 |
| 8.2.7. Computadoras de flujo de datos | 592 |
| 8.3. Resumen | 598 |
| 9. Lecturas Recomendadas y Bibliografía | 604 |
| 9.1. Sugerencias para Lectura Posterior | 604 |
| 9.1.1. Introducción y temas generales | 604 |
| 9.1.2. Organización de computadoras | 605 |
| 9.1.3. El nivel de lógica digital | 606 |
| 9.1.4. El nivel de microprogramación | 607 |
| 9.1.5. El nivel de máquina convencional | 607 |
| 9.1.6. El nivel de máquina del sistema operativo | 608 |
| 9.1.7. El nivel del lenguaje ensamblador | 609 |
| 9.1.8. Arquitecturas avanzadas | 609 |
| 9.1.9. Números binarios y aritmética de punto flotante | 611 |
| 9.2. Bibliografía por orden Alfabético | 612 |
| Apéndices | |
| A. Números Binarios | 624 |
| A.1. Números de precisión finita | 624 |
| A.2. Sistemas de numeración | 626 |
| A.3. Conversión de una base en otra | 628 |
| A.4. Números binarios negativos | 631 |
| A.5. Aritmética binaria | 633 |
| B. Números en Punto Flotante | 637 |
| B.1. Principios del punto flotante | 638 |
| B.2. Norma No. 754 de punto flotante del IEEE | 641 |
| Índice Analítico | 647 |