

INDICE

Primera Parte. Fundamentos	1
1. Representación Básica de Datos	3
1.1. Sistemas numéricos posicionales	4
1.1.1. Marcas numéricas	5
1.1.2. Sistemas de agrupamiento sencillos	5
1.1.3. Numerales romanos	6
1.1.4. Sistemas numéricos posicionales	7
1.1.5. Conversión entre base	8
1.1.6. Valores fraccionarios	11
1.2. Codificación de número	13
1.3. Codificación de caracteres	16
1.3.1. ASCII	17
1.3.2. Códigos de Huffman	18
1.4. Detección y corrección de errores	24
1.5. Resumen	29
1.5.1. Lecturas adicionales	30
1.5.2. Terminología	30
1.5.3. Preguntas de repaso	31
1.6. Ejercicios	31
2. Diseño Lógico	37
2.1. Circuitos combinacionales	37
2.1.1. Compuertas y expresiones booleanas	39
2.1.2. Negación y compuertas universales	44
2.1.3. Compuertas and y or generalizadas	45
2.1.4. Álgebra booleanas y formas normales	46
2.1.5. Transitores	48
2.1.6. Circuito integrados	50
2.2. Circuitos secuenciales	55
2.2.1. Control de trayectorias de datos: Canales y dispositivos de tres estados	56
2.2.2. Almacenamiento: Flip – Flops y registros	58
2.2.3. Señales de control y temporales	61
2.3. Componentes	63
2.3.1. Multiplexores y demultiplexores	63
2.3.2. Decodificadores y codificadores	63
2.4. Resumen	64
2.4.1. Lecturas adicionales	64
2.4.2. Terminología	65
2.4.3. Preguntas de repaso	66
2.5. Ejercicios	66
3. Componentes Básicos	73
3.1. Memoria	73
3.1.1. Características básicas	74
3.1.2. Características operativas	76
3.1.3. Organización de la memoria	78
3.1.4. Unidades de memoria (bytes y palabras)	82
3.2. La UCP	88

3.2.1. Un conjunto de instrucciones sencillos	88
3.2.2. Trayectorias de datos y puntos de control	91
3.2.3. El lazo de búsqueda – ejecución de instrucciones	94
3.3. Dispositivos de E/S	98
3.4. Canales	100
3.4.1. Protocolos de canales síncronos	101
3.4.2. Aspectos temporales	104
3.4.3. Arbitraje de canales	107
3.5. Resumen	107
3.5.1. Lecturas adicionales	107
3.5.2. Terminología	107
3.5.3. Preguntas de repaso	108
3.6. Ejercicios	109
Segunda Parte. Arquitectura de Computadores	117
4. Cálculos Sencillos	119
4.1. ¿Cuántas direcciones?	120
4.1.1. Máquinas de tres direcciones	122
4.1.2. Máquinas de dos direcciones	123
4.1.3. Máquinas de una dirección (Máquinas acumuladoras)	125
4.1.4. Máquinas de cero direcciones (máquina de pila)	126
4.1.5. Diferencias	127
4.2. Registro	127
4.2.1. Registros en una máquina de tres direcciones	128
4.2.2. Registros en una máquina de dos direcciones	129
4.2.3. Registro en una máquina acumuladora	130
4.2.4. Registro en una máquina de pila	130
4.2.5. La arquitectura de carga/almacenamiento: Máquinas RISC	131
4.3. Tamaños de operandos	135
4.4. Valores inmediatos: Constantes	136
4.5. Flujo de control	137
4.5.1. Etiquetas y transferencias incondicionales	137
4.5.2. Comparación y ramificación	139
4.5.3. Comparación con reto	140
4.5.4. Códigos de condición	142
4.5.5. Iteración definida: instrucciones especiales de lazos	144
4.5.6. Expresiones condicionales más complejas	145
4.5.7. Ranuras de retardo de ramificación	146
4.6. Manipulación de bits	150
4.6.1. Operación de bit a bit	150
4.6.2. Acceso directo a bits	152
4.6.3. Instrucciones de desplazamiento y rotación	152
4.7. Estudio de caso: Codificación de instrucciones en SPARC	153
4.7.1. Operaciones de carga/almacenamiento	154
4.7.2. Instrucciones de manipulación de datos	154
4.7.3. Instrucciones de transferencia de control	156
4.7.4. La instrucción SETHI	156
4.8. Resumen	158
4.8.1. Lecturas adicionales	158

4.8.2. Terminología	159
4.8.3. Preguntas de repaso	159
4.9. Ejercicios	160
5. Modos de Direccionamiento y Organización de Datos	165
5.1. Directrices de ensamblador	165
5.1.1. El contador de posiciones	167
5.1.2. La tabla de símbolos: Etiquetas y equivalencias	168
5.1.3. Asignación, valores iniciales y alineación	170
5.1.4. Segmentos de ensamblador	174
5.1.5. Expresiones constantes	177
5.2. Modos de direccionamiento	178
5.2.1. Apuntadores: Direccionamiento indirecto	178
5.2.2. Vectores. Direccionamiento Indizado	182
5.2.3. Estructuras: Direccionamiento por desplazamiento	188
5.2.4. Cadenas: Direccionamiento por autoincremento	191
5.2.5. Pilas: Direccionamiento por autodecremento	195
5.2.6. Resumen de los modos de direccionamiento	197
5.3. La dirección efectiva como valor: LEA	198
5.4. Modos de direccionamiento en el control: Switch	199
5.5. Direcciones y enteros	202
5.6. Estudio de caso: Modos de direccionamiento en SPARC	203
5.7. Estudio de caso: Modos de direccionamiento en HP precisión	204
5.7.1. Direccionamiento por desplazamiento	205
5.7.2. Direccionamiento indizado	206
5.8. Resumen	206
5.8.1. Lecturas adicionales	207
5.8.2. Terminología	207
5.8.3. Preguntas de repaso	208
5.9. Ejercicios	209
6. Mecanismos de Llamada a Subrutinas	215
6.1. Ramificación y enlace (salto a subrutina)	216
6.1.1. Almacenamiento de la dirección de retorno	219
6.1.2. Almacenamiento de registros	220
6.2. Paso de parámetros: Registros	220
6.2.1. Convenio de paso de parámetros	223
6.2.2. Resumen de convenios de paso de parámetros	226
6.3. Subrutinas en C	226
6.4. Bloques de parámetros: Asignación estática	228
6.5. La pila de parámetro: Asignación dinámica	230
6.5.1. La pila y los marcos de pila	230
6.5.2. Apoyo de hardware	232
6.5.3. Construcción de un marco de pila	233
6.5.4. El apuntador de marcos	236
6.5.5. Orden de parámetros	240
6.5.6. Variables locales	240
6.6. Estudio de caso: Convenios de subrutinas en HP precisión	241
6.6.1. Los registros	242
6.6.2. La pila	242

6.7. Estudio de caso: Ventanas de registros en SPARC	243
6.8. Resumen	245
6.8.1. Lecturas adicionales	246
6.8.2. Terminología	246
6.8.3. Preguntas de repaso	246
6.9. Ejercicios	247
Tercera Parte. Representación de Números	251
7. Representación de Enteros	253
7.1. Enteros sin signo	253
7.1.1. Suma de valores sin signo	253
7.1.2. Resta de enteros sin signo	260
7.1.3. Multiplicación y división de enteros sin signo	261
7.2. Representación de enteros con signo	265
7.2.1. Signo y magnitud	266
7.2.2. Exceso	271
7.2.3. Complemento a dos	273
7.2.4. Complemento a unos	280
7.2.5. Comparación de técnicas de representación	284
7.2.6. Operaciones de desplazamiento aritmético	285
7.3. Resumen	286
7.3.1. Lecturas adicionales	286
7.3.2. Terminología	287
7.3.3. Preguntas de repaso	287
7.4. Ejercicios	287
8. Números de Punto Flotante	291
8.1. Representación de punto fijo	291
8.2. Números de punto flotante	294
8.2.1. Notación científica	294
8.2.2. Primeros formatos de punto flotante	295
8.2.3. La norma IEEE 754 para punto flotante	298
8.2.4. Operaciones aritméticas sencillas	299
8.2.5. Consecuencias de la representación finita	302
8.3. Coprocesadores de punto flotante	306
8.4. Resumen	311
8.4.1. Lecturas adicionales	311
8.4.2. Terminología	311
8.4.3. Preguntas de repaso	312
8.5. Ejercicios	312
Cuarta Parte. Representación de Instrucciones	315
9. Interpretación de Instrucciones	317
9.1. Implantación directas	317
9.1.1. El conjunto de instrucciones	317
9.1.2. Una implantación directa	319
9.2. Secuencia de instrucciones	322
9.2.1. Memorias de gran ancho de palabra	323
9.2.2. Intercalado	323
9.2.3. Búsqueda previa de instrucciones	324
9.2.4. Memoria caché para instrucciones	325

9.2.5. Memoria caché para datos	328
9.3. Segmentación (Pipelining)	329
9.3.1. La eficiencia de la segmentación	332
9.3.2. Obstrucciones en las tuberías	333
9.3.3. Reenvío e interbloqueo de registros	334
9.3.4. Ranuras de retardo de ramificación y anulación	339
9.3.5. Implantación segmentada de nuestra máquina simple	339
9.3.6. Etapas de segmentación	340
9.3.7. Trayectorias de datos	340
9.3.8. Retardo de tuberías y anulación	342
9.4. Máquinas supersegmentadas y supeescalares	343
9.4.1. Supersegmentación	344
9.4.2. El método superescalar	345
9.5. Microprogramación	347
9.5.1. Trayectoria de datos	347
9.5.2. Un lenguaje microensamblador	348
9.5.3. Implantación de la microarquitectura	353
9.6. Resumen	356
9.6.1. Lecturas adicionales	357
9.6.2. Terminología	357
9.6.3. Preguntas de repaso	358
9.7. Ejercicios	359
10. El Proceso de Traducción	363
10.1. Ensamblado	364
10.1.1. El método de dos pasadas	367
10.1.2. Uso de una lista de parches	369
10.1.3. Segmentos de ensamblador	372
10.2. Enlazado	375
10.2.1. Las directrices de importancia y exportación	376
10.2.2. Entradas de la tabla de símbolos	377
10.2.3. El formato de archivo objeto	379
10.2.4. Enlazado de archivos objeto	381
10.2.5. Estudio de caso: Referencias externas en la SPARC	386
10.2.6. Enlazado de varios archivos objeto	388
10.2.7. Acervos	390
10.3. Carga	390
10.3.1. Relocalización dinámica: correspondencia de direcciones	395
10.3.2. Relocalización estática	407
10.3.3. Secuencia inicial de instrucciones	409
10.4. Resumen	410
10.4.1. Lecturas adicionales	411
10.4.2. Terminología	411
10.4.3. Preguntas de repaso	412
10.5. Ejercicios	412
Quinta Parte. Estructuras de Entrada / Salida	421
11. Operaciones Extendidas y Excepciones	423
11.1. El monitor residente	425
11.1.1. Rutina de distribución	427

11.1.2. Enlazado vectorizado	428
11.1.3. XOP, trampas e interrupciones de software	430
11.1.4. La palabra de estado del procesador	431
11.1.5. Subrutinas y XOP	432
11.1.6. XOP (trampas) en SPARC	435
11.2. Control de acceso	436
11.2.1. Niveles de privilegio	436
11.2.2. Protección de recursos	438
11.2.3. Pilas separadas	442
11.2.4. Niveles mltiples: Anillos y compuertas	444
11.2.5. Control de acceso en HP precisión	447
11.3. Excepciones	448
11.3.1. Trampas: Excepciones explícitas	449
11.3.2. Manejadores de excepciones definidos por el usuario	450
11.3.3. Depuración de punto de interrupción	451
11.3.4. Prioridades de excepciones	452
11.3.5. Sincronización	452
11.4. Resumen	453
11.4.1. Lecturas adicionales	454
11.4.2. Terminología	454
11.4.3. Preguntas de repaso	454
11.5. Ejercicios	455
12. Interrupciones y Comunicación entre Dispositivos	457
12. E/S programada	457
12.1.1. El Receptor / Transmisor Asíncrono Universal (UART)	457
12.1.2. Direcciones de registro de dispositivo	461
12.1.3. Valores volátiles y memoria caché	461
12.2. Interrupciones: Estructuras de programa	462
12.2.1. Manejadores de interrupciones	462
12.2.2. Ejemplo: entrada con memoria intermedia	464
12.2.3. Otro ejemplo: Salida con memoria intermedia	468
12.2.4. Combinación de entrada y salida con memoria intermedia	473
12.3. Interrupciones, Estructuras de hardware	475
12.3.1. Señal de interrupción simple	476
12.3.2. Codificación de interrupciones	480
12.3.3. Correspondencia de interrupciones	481
12.4. Transferencia de acceso directo a memoria DMA y estructuras de canal	482
12.4.1. Arbitraje	484
12.4.2. Transferencia DMA y memoria caché	486
12.5. Resumen	486
12.5.1. Lecturas adicionales	488
12.5.2. Terminología	489
12.5.3. Preguntas de repaso	489
12.6. Ejercicios	490
Sexta Parte. Temas Actuales	495
13. Máquinas Paralelas	497
13.1. Dos ejemplos	500

13.1.1. Modelo: Paralelismo vectorial	501
13.2. Tema: Flujos de datos e instrucciones	503
13.2.1. Modelo. Tuberías (MISD)	504
13.2.2. Modelo: Programación paralela de datos (SIMD)	505
13.3. Tema: Sincronía y asincronía	507
13.3.1. Modelo: Máquinas sistólicas (MIMD síncrono)	508
13.3.2. Modelo : Flujo de datos (MIMD asíncrono)	510
13.4. Tema: Granularidad	512
13.4.1. Modelo: Procesos cooperativos	513
13.5. Tema: Estructura de memoria	515
13.5.1. Memoria compartida físicamente	515
13.5.2. Memoria compartida lógicamente (NUMA)	517
13.5.3. Memoria distribuida (NORMA)	517
13.5.4. Modelo: Procesos comunicantes	518
13.6. Tema. Redes de interconexión e multiprocesadores	520
13.6.1. La topología de canal compartido	520
13.6.2. La topología totalmente conectada y el conmutador de barras cruzadas	520
13.6.3. La topología de hipercubo	521
13.6.4. La topología de mariposa	524
13.7. Resumen	526
13.7.1. Lecturas adicionales	526
13.7.2. Terminología	528
13.7.3. Preguntas de repaso	528
13.8. Ejercicios	529
Apéndices	
A. Convenio de lenguaje ensamblador	533
B. Comunicación en serie asíncrona	537
C. Bibliografía	561
D. Glosario	567
Vocabulario técnico bilingüe	581
Índice de materias	593