

INDICE

PRIMERA PARTE

MOS Y CIRCUITOS INTEGRADOS

Capítulo 1. — Introducción al MOS

1.1	Razón de ser del MOS	1
1.2	Historia del MOS	2
1.3	Transistores bipolares y transistores de efecto de campo	4
1.3.1	Bipolares y unipolares	4
1.3.2	¿MOS o CIS?	6
1.3.3	Circuitos de transferencia de carga	6
1.4	SSI, MSI, LSI y GSI	7
1.5	Funciones lógicas fundamentales	8
1.6	Características principales de los circuitos integrados	10
1.7	Las familias de circuitos integrados	13
1.8	Estimación aproximada al mercado	15

Capítulo 2. — Funcionamiento del MOS fundamental de enriquecimiento, canal P

2.1	Principio de funcionamiento	20
2.1.1	Acción de la tensión de drenador. Zonas triodo y de saturación	24
2.2	Teoría del funcionamiento del MOS	25
2.2.1	Capacidad de graduador	25
2.2.2	Tensión de umbral	27
2.2.3	Aproximación de 1. ^{er} orden	28
2.2.4	Corriente de drenador	29
	Región triodo	29
	Región pentodo	30
2.2.5	Relación W/L y factor de ganancia β	32
2.2.6	Estabilidad en temperatura	32
2.2.7	Movilidad de los portadores P	32
2.2.8	Resistencia drenador-surtidor	32
2.2.9	Transconductancia	34
2.2.10	Teoría de 2. ^o orden	35

INDICE

PRIMERA PARTE MOS Y CIRCUITOS INTEGRADOS

Capítulo 1. — Introducción al MOS

1.1	Razón de ser del MOS	1
1.2	Historia del MOS	2
1.3	Transistores bipolares y transistores de efecto de campo	4
1.3.1	Bipolares y unipolares	4
1.3.2	¿MOS o CIS?	6
1.3.3	Circuitos de transferencia de carga	6
1.4	SSI, MSI, LSI y GSI	7
1.5	Funciones lógicas fundamentales	8
1.6	Características principales de los circuitos integrados	10
1.7	Las familias de circuitos integrados	13
1.8	Estimación aproximada al mercado	15

Capítulo 2. — Funcionamiento del MOS fundamental de enriquecimiento, canal P

2.1	Principio de funcionamiento	20
2.1.1	Acción de la tensión de drenador. Zonas triodo y de saturación	24
2.2	Teoría del funcionamiento del MOS	25
2.2.1	Capacidad de graduador	25
2.2.2	Tensión de umbral	27
2.2.3	Aproximación de 1. ^{er} orden	28
2.2.4	Corriente de drenador	29
	Región triodo	29
	Región pentodo	30
2.2.5	Relación W/L y factor de ganancia β	32
2.2.6	Estabilidad en temperatura	32
2.2.7	Movilidad de los portadores P	32
2.2.8	Resistencia drenador-surtidor	32
2.2.9	Transconductancia	34
2.2.10	Teoría de 2. ^o orden	35

INDICE

PRIMERA PARTE MOS Y CIRCUITOS INTEGRADOS

Capítulo 1.— Introducción al MOS

1.1	Razón de ser del MOS	1
1.2	Historia del MOS	2
1.3	Transistores bipolares y transistores de efecto de campo	4
1.3.1	Bipolares y unipolares	4
1.3.2	¿MOS o CIS?	6
1.3.3	Circuitos de transferencia de carga	6
1.4	SSI, MSI, LSI y GSI	7
1.5	Funciones lógicas fundamentales	8
1.6	Características principales de los circuitos integrados	10
1.7	Las familias de circuitos integrados	13
1.8	Estimación aproximada al mercado	15

Capítulo 2.— Funcionamiento del MOS fundamental de enriquecimiento, canal P

2.1	Principio de funcionamiento	20
2.1.1	Acción de la tensión de drenador. Zonas triodo y de saturación	24
2.2	Teoría del funcionamiento del MOS	25
2.2.1	Capacidad de graduador	25
2.2.2	Tensión de umbral	27
2.2.3	Aproximación de 1.º orden	28
2.2.4	Corriente de drenador	29
	Región triodo	29
	Región pentodo	30
2.2.5	Relación W/L y factor de ganancia β	32
2.2.6	Estabilidad en temperatura	32
2.2.7	Movilidad de los portadores P	32
2.2.8	Resistencia drenador-surtidor	32
2.2.9	Transconductancia	34
2.2.10	Teoría de 2.º orden	35

2.2.11	Teoría de 3. ^{er} orden	36
2.2.12	Factor de calidad	36
2.3	Algunas nociones complementarias	36
2.3.1	El MOS parásito	36
2.3.2	Resistencia de entrada del MOS	38
2.3.3	Capacidades de estructura	38
2.3.4	Protección de las entradas	40
2.3.5	Otros límites en tensión	41

Capítulo 3. — Diversos tipos de MOS

3.1	Introducción	42
3.2	MOS de canal N de enriquecimiento	43
3.2.1	Funcionamiento y características.	43
3.2.2	Capacidades de estructura	46
3.2.3	Ejemplos de valores de la corriente de drenador	47
3.2.4	Corrientes de fuga	49
3.3	MOS de empobrecimiento (deplexión)	51
3.3.1	Símbolos	52
3.4	MOS tetrodo (MOS de doble graduador)	53
3.5	MOS de graduador flotante	54
3.6	MNOS	55
3.7	FET Schottky.	56
3.7.1	Astec de Thomson-CSF	57
3.7.2	TBM de AsGa del LEP	58
3.7.3	Otras técnicas	61

Capítulo 4. — Fabricación de circuitos integrados

4.1	Tecnología planar	62
4.1.1	Preparación del silicio	62
4.1.2	Oxidación	63
4.1.3	Fotograbado	63
4.1.4	Dopado por difusión gaseosa	66
4.1.5	Otras etapas	66
4.2	Implantación iónica	68
4.2.1	Principio	69
4.2.2	Fabricación de un diodo implantado	71
4.2.3	Fabricación de MOS implantados	72
4.2.4	Técnica de implantación del drenador y del surtidor	72
4.2.5	Implantación de resistencia	74
4.2.6	Implantación del canal	74
4.2.7	Fabricación de inversores con carga de empobrecimiento	77
4.2.8	Fabricación de cajas para MOS	77
4.2.9	Mecanizado iónico	77
4.3	Presentación de los CI	77
4.3.1	Cápsulas	77

4.3.2	Dados sin encapsular	78
4.3.3	Circuitos sobre película	79
4.4	Técnicas avanzadas de enmascaramiento	86
4.4.1	Generador de máscaras por haz de electrones	86
4.4.2	Repetidor de máscaras de flying spot	88
4.4.3	Litografía por rayos X	88
4.4.4	Enmascaramiento por láser	90

Capítulo 5. — El arsenal de tecnologías

5.1	Introducción	92
5.2	Silicio <111> y <100>	93
5.3	Silicio <100>	93
5.4	Empleo de nitruro de silicio	94
5.4.1	Fabricación	95
5.5	Graduador de silicio	96
5.5.1	Fabricación	97
5.5.2	Ventajas	99
5.5.3	Resultados	100
5.6	Las 4 técnicas fundamentales comparadas	100
5.7	MOS de canal N	100
5.7.1	Interés	101
5.8	MOS de graduador de molibdeno (RMOS)	102
5.9	MOS de canal N de doble difusión (D/MOS)	105
5.9.1	Interés del D/MOS	107
5.10	Estructuras combinadas: nitruro-graduador de silicio	108
5.11	Estructuras combinadas: El Bi-MOS (bipolar-MOS)	110
5.12	CMOS, o MOS complementarios	110
5.12.1	CMOS con puerta de silicio	112
5.13	Circuitos sobre sustrato aislante: El SOS	114
5.13.1	Resultados obtenidos	116
5.14	Técnicas avanzadas	117
5.14.1	Técnicas LOCOS y LOC MOS	118
5.14.2	Técnica Planox	120
5.14.3	Procedimiento SATO	122
5.14.4	Isoplanar	124
5.14.5	COPLAMOS	124
5.14.6	VIP y V-ATE.	126
5.15	Aislamiento dieléctrico.	127
5.15.1	El tiristor parásito de los CMOS	127
5.15.2	Tecnología EPIC	128
5.16	MOS de capa delgada sobre sustrato aislante	129
5.17	Protección hermética "trimetal"	131

Capítulo 6. — Circuitos de transferencia de carga: CCD, BBD y variantes

6.1	Principio de los CCD	133
6.2	BBD	135
6.3	SCT	138
6.4	CCD de varios niveles de metalización y de canal oculto	138
6.5	PCCD	140
6.6	Principios de las aplicaciones	142
6.7	Registros y memorias	142
6.7.1	Hacia el tambor magnético" en CCD	143
6.8	Líneas de retardo	144
6.9	Aplicaciones optoelectrónicas	146
6.9.1	Principios	146
6.9.2	Métodos de análisis.	147
6.9.3	Amplificador de graduador flotante	147
6.9.4	Análisis de la descarga del fotodiodo	149
6.9.5	Análisis lineal	149
6.9.6	Análisis de imagen	152
6.10	La red de inyección de carga de CG	155

SEGUNDA PARTE
LA LÓGICA INTEGRADA MOS Y CMOS
Capítulo 7. — El inversor fundamental

7.1	Inversor de carga pasiva	158
7.1.1	Recta de carga	160
7.2	El MOS como carga	161
7.2.1	Principios	161
7.2.2	Funcionamiento en la zona no saturada	161
7.2.3	Funcionamiento en la zona de saturación	162
7.2.4	Ventajas e inconvenientes	162
7.3	El inversor fundamental en conmutación	165
7.3.1	Puesta en servicio del inversor	166
7.3.2	Corte del inversor	166
7.4	MOS de empobrecimiento como carga de un inversor de enriquecimiento	167
7.5	Inversor de MOS complementarios	168
7.5.1	Principios	168
7.5.2	Funcionamiento en conmutación: consumo	172
7.5.3	El papel de V_{DD} cuando se desea reducir el consumo	176
7.5.4	Inmunidad al ruido.	179
7.6	Síntesis de estructuras de inversores (estáticas)	180
7.7	El papel de la capacidad intrínseca (graduador-substrato)	182
7.8	Puerta de transferencia	183

7.9	Inversores dinámicos	183
7.9.1	Inversor proporcional	184
7.9.2	Inversor no proporcional de precarga	185
7.9.3	Inversor no proporcional de precarga alimentado por el reloj	186

Capítulo 8. — Puertas lógicas

8.1	Las puertas y sus características	188
8.2	Puertas estáticas	189
8.2.1	Puerta NO-O	189
8.2.2	Puerta NO-Y	190
8.2.3	Puerta Y	190
8.2.4	Puerta O	190
8.2.5	Puerta O exclusiva (EXOR)	191
8.2.6	Otras puertas	192
8.2.7	Puerta de potencia (buffer)	192
8.3	O cableada y la salida 3 estados	192
8.4	Puertas dinámicas	195
8.4.1	Puertas proporcionales y no proporcionales	195
8.4.2	Puertas bifásicas cuasiestáticas	196
8.5	Puertas CMOS	197
8.5.1	Puerta de transferencia	198
8.5.2	Control de la puerta de transferencia	199
8.5.3	Puerta NO-O	200
8.5.4	Puerta NO-Y	201
8.6	Algunas puertas-tipo CMOS y sus características	201
8.6.1	Puertas simples de la serie 4000	201
8.6.2	Multiplexor.	202
8.6.3	O exclusiva y sus aplicaciones	204
8.6.4	Otras funciones.	204
8.7	Interfaces para MOS monocanales	205
8.7.1	Bipolar a MOS.	206
8.7.2	MOS a bipolar (TTL)	209

Capítulo 9. — Flip-flops

9.1	Las básculas principales	212
9.2	Flip-flop RS	213
9.2.1	Estructura básica	213
9.2.2	RS con inversores	214
9.2.3	RS de entradas múltiples	214
9.2.4	RS síncrono	215
9.2.5	RS con salidas tres estados	216
9.2.6	RS en MOS complementarios	216
9.3	RS dinámicos	217

9.4	Báscula JK	222
9.5	Flip-flop T	226
9.6	Flip-flop D	229
9.6.1	D de cerrojo	229
9.6.2	D de conmutación en los frentes	230
9.7	Báscula RST	231
9.8	Básculas ordenador-seguidor	231
9.9	Papel de los terminales "preset" y "clear"	232
9.10	Flip-flops en CMOS	233
9.10.1	RS en CMOS	233
9.10.2	Flip-flops D	233

Capítulo 10. — Los registros

10.1	Principio de los registros de desplazamiento	236
10.2	Tipos de registros	236
10.3	Registros estáticos bifásicos	239
10.4	Registros dinámicos bifásicos con inversores proporcionales	240
10.5	Registro dinámico proporcional trifásico	243
10.6	Registros dinámicos no proporcionales de precarga	245
10.7	Registros dinámicos alimentados por los relojes	250
10.8	Registros en CMOS	250
10.9	Registros de longitud ajustable	250
10.10	Registros realimentados	253

Capítulo 11. — Los MOS complementarios (CMOS)

11.1	Introducción a los CMOS	254
11.1.1	Velocidad y precio.	254
11.1.2	Protección contra las cargas electrostáticas	256
11.2	Puerta CMOS.	256
11.2.1	Nota respecto al consumo	260
11.2.2	Conexión en paralelo de las entradas	261
11.2.3	Inmunidad al ruido	261
11.2.4	O Cableado y la lógica 3 estados	262
11.2.5	Lógica positiva y lógica negativa	266
11.3	Interfaces de CMOS con las demás lógicas	267
11.3.1	TTL a CMOS.	267
11.3.2	CMOS a TTL.	268
11.3.3	Desplazamiento de niveles	269
11.3.4	CMOS y HTL	269
11.3.5	CMOS a ECL.	270
11.3.6	ECL a CMOS.	271
11.3.7	CMOS y MOS monocanales	273
11.3.8	CMOS a sistemas industriales y a otros componentes	274
11.4	Impulsos de reloj	275
11.5	Alimentación de los CMOS	278

11.6	CMOS/SOS y el funcionamiento "de alto empobrecimiento"	281
11.6.1	Ventajas del SOS	281
11.6.2	Funcionamiento de alto empobrecimiento	282
11.6.3	Niveles de interconexión	283
11.6.4	Algunas características que influyen en la velocidad	284
11.6.5	Aplicaciones de los SOS	285
11.6.6	La variante ESFI de Siemens	286
11.6.7	Resistencia a las radiaciones ionizantes	286
11.7	La 54C/74C de NS	286
11.8	La 34000 isoplanar de Fairchild y la LOCMOS de RTC	288
11.9	El aislamiento dieléctrico de Harris Semiconductor	289
11.9.1	El tiristor parásito.	289
11.10	Substrato de espinela	289
11.11	¿CMOS, Schottky de baja potencia o I ² L?	290

TERCERA PARTE

LAS MEMORIAS

Capítulo 12. — El arsenal de memorias

12.1	Clasificación de las memorias	294
12.2	Organización de una memoria	296
12.3	Características de las memorias	301
12.3.1	Características generales	301
12.3.2	Consumo	302
12.3.3	MSB y LSB	303
12.4	El precio de las memorias	304

Capítulo 13. — Memorias ROM

13.1	Principio de las ROM	305
13.2	Empleo de MOS en las ROM	307
13.3	¿Síncrona o asíncrona?	308
13.4	Aplicaciones	310
13.4.1	Principios	310
13.4.2	Generación de caracteres para visualización por tubo catódico	311
13.4.3	Redes lógicas programables (PLA)	314
	Aplicación a la lógica combinatoria	316
	Aplicación a la lógica secuencial	316

Capítulo 14. — Memorias: Las PROM

14.1	Las PROM: Generalidades.	317
14.2	PROM de fusible	318
14.3	PROM de establecimiento de conexión	320

14.4	PROM de almacenamiento de carga (MOS)	321
14.4.1	La PROM tipo 1601	321
14.5	Otras PROM. Mercados y aplicaciones	326
Capítulo 15. — Memorias: Las RMM (o REPRM)		
15.1	El MOS de avalancha y borrado por UV	327
15.2	MNOS	330
	Ejemplo de productos Plessey	332
15.3	Memorias de cristal semiconductor	335
15.4	Aplicaciones generales de las RMM	340
Capítulo 16. — Memorias: Las RAM		
16.1	Introducción	342
16.2	La prodigiosa evolución de las células RAM	344
16.3	RAM estáticas de MOS monocanales	346
16.3.1	Célula completa de 8 transistores	346
16.3.2	Célula clásica de 6 transistores: la 1101	347
16.3.3	Célula de 6 MOS con carga de empobrecimiento (tipo 2102 A)	351
16.3.4	Protección de la información	353
16.4	RAM estáticas en CMOS: la ventaja del bajo consumo	354
16.4.1	Realización de una memoria de 256×8 bits	358
16.4.2	Otras estructuras CMOS	358
16.5	Conclusión sobre las RAM estáticas	361
16.6	RAM pseudodinámicas	362
16.7	RAM pseudoestática "de bombeo": la 7001 (sin refresco)	364
16.8	RAM dinámicas	365
16.8.1	Ventajas y tipos	365
16.8.2	Funcionamiento de las células de 3 MOS	366
	Funcionamiento de la 3-1-2	366
	Funcionamiento de la 3-2-1	366
	Funcionamiento de la 3-2-2	367
	Funcionamiento de la 3-1-1	367
16.8.3	Funcionamiento de la célula de 1 MOS	368
16.8.4	El "refresco"	368
16.8.5	Organización de una RAM dinámica	368
16.8.6	Un estándar de la industria: la 1103 Intel	370
16.8.7	La MK 4006 de Mostek	372
16.8.8	Nota a propósito del refresco	375
16.9	Las RAM de 4 K	375
16.9.1	La 4 K de células de 1 transistor	375
16.9.2	La TMS 4030 en cápsula de 22 patillas	375
16.9.3	La 4 K tipo MK 4096 de Mostek con células de 1 MOS y cápsula de 16 patillas	382

16.9.4	La MM 5270 de NS, células de 1 MOS, cápsula de 18 patillas	385
16.9.5	Otras memorias de 4 K con células de 1 MOS	386
	TMS 4050	387
	TMS 4060	388
16.9.6	¿16, 18 ó 22 patillas?	389
16.9.7	La capacidad de memoria de LETI	390
16.10	Sistemas de memoria	392
16.11	Las futuras RAM de 16 K	392
16.12	RAM de programación óptica	393
16.13	MOS en tubo de vacío	394

Capítulo 17. — Memorias: registros y CAM

17.1	Registros de desplazamiento empleados como memorias	395
17.2	Registro estático	395
17.3	Recirculación	397
17.4	Registros dinámicos	397
17.5	Registros con CTD	399
17.6	Registros de burbujas magnéticas	401
17.7	Registros en CMOS	402
17.8	Aplicaciones de los registros	403
	17.8.1 La ciclomemoria	404
	17.8.2 Contador en anillo.	406
	17.8.3 Divisor	408
17.9	Registros y pilas	409
	17.9.1 La pila FIFO	409
	Principio	409
	Aplicaciones en interface informático	410
17.10	Memorias asociativas (CAM)	414

**CUARTA PARTE
APLICACIONES**

Capítulo 18. — Microprocesadores, microordenadores y calculadoras

18.1	Introducción	417
18.2	Estructura de un microordenador	417
18.3	Unidad central de tratamiento (CPU)	420
18.4	Soporte lógico. Aplicaciones	422
18.5	Microprocesador en CMOS	423
18.6	Calculadoras de bolsillo	425

Capítulo 19. — El reloj electrónico

19.1	Relojes electrónicos	430
19.2	Reloj electrónico de visualización semianalógica circular	430

19.3	Notas preliminares sobre los cristales líquidos (LCD)	434
19.3.1	Principios del ataque por ondas desfasadas	435
	Ataque con O exclusivos	435
	Ataque con puertas de transferencia	436
19.3.2	Multiplexado	439
19.4	Reloj digital experimental con visualización por cristales líquidos .	440
19.5	Despertador alimentado por la red, con LCD o tubos fluorescentes .	445
19.6	Relojes electrónicos	447
19.6.1	Relojes con LCD	447
Capítulo 20. — Aplicaciones lineales		
20.1	El MOS en lineal	451
20.2	Aplicaciones AF	451
	20.2.1 Amplificador de baja frecuencia	451
	20.2.2 MOS con seguidor de emisor	452
20.3	Estructura diferencial	453
20.4	Montajes con CMOS	453
20.5	Bucle de realimentación de fase.	454
20.6	Amplificadores operacionales	455
	20.6.1 Amplificador troceador HA 2900	455
	20.6.2 Amplificador operacional CA 3130	457
	20.6.3 El LF 156 y la tecnología BiFET	460
	20.6.4 Amplificador troceador SN 62/72088	461
Bibliografía	462